

A.A. 2003/2004

Corso di
Progettazione Microelettronica

Simulazioni sperimentali e valutazioni teoriche di
componenti elettronici integrati su silicio
con tecnologia 0,35 μm

Gruppo C :

Barbiero Daniele - 118931

Bonomo Davide - 118824

Lunardi Flavio - 118954

SOMMARIO

Il programma utilizzato nelle esercitazioni del corso di Progettazione Microelettronica è uno strumento CAD prodotto da Cadence Design System.

Con esso è possibile disegnare schematici, layout di circuiti integrati a livello layers, simulare i circuiti e così via.

Prima di lanciare il programma è stato necessario preparare una directory per contenere il lavoro, onde evitare di confondere i files di esercitazioni differenti. Ogni progetto viene visto da Cadence® come una libreria, che si va ad aggiungere a quelle già presenti nel sistema di sviluppo. In ogni libreria ci sono alcune celle, che unite insieme formano il progetto finale. Ogni cella consta di diverse *viste* (view), cioè modi diversi di vedere lo stesso blocco: a noi in particolare interessavano quelle di layout e quella di schematico, che rappresentano due livelli di astrazione differenti del circuito che si progetta. Una cella può essere formata da altre celle, in un sistema gerarchico in cui la radice dell'albero è l'intero circuito, mentre le foglie sono gli elementi più semplici.

Per la progettazione di circuiti elettronici si utilizza *schematic entry*, cioè un sistema mediante il quale è possibile costruire un circuito elettronico utilizzando la simbologia dei vari componenti. Mediante il simulatore (in *analog environment*), si può verificare graficamente l'andamento delle uscite al variare degli ingressi.

La specifica di un circuito a livello di schematico non è però sufficiente per la sua realizzazione su silicio: per questo è necessario fornire alla fonderia lo schema fisico delle aree attive e dei collegamenti, ovvero il layout del chip che si intende fabbricare. Sebbene esistano in commercio dei sistemi di sintesi che sono in grado di generare automaticamente un layout a partire dallo schema elettrico, il nostro lavoro consiste nel realizzare manualmente questa traduzione, controllandone poi la correttezza mediante un confronto. Avendo uno schema di quella che sarà l'implementazione finale sarà anche possibile una simulazione più precisa del circuito: infatti molte capacità parassite, per esempio quelle dovute alla lunghezza dei collegamenti, non possono essere calcolate a priori, e vengono quindi solo stimate con un errore in genere non trascurabile; a partire dal layout esse possono essere calcolate con una precisione molto più elevata, e poi utilizzate in simulazione al posto delle stime. Eventuali errori riscontrati in queste fasi richiedono in genere una variazione del layout, ed è quindi fondamentale cercare di limitarne il numero mediante un buon progetto iniziale

1. Layout di un inverter

1.1 Specifiche

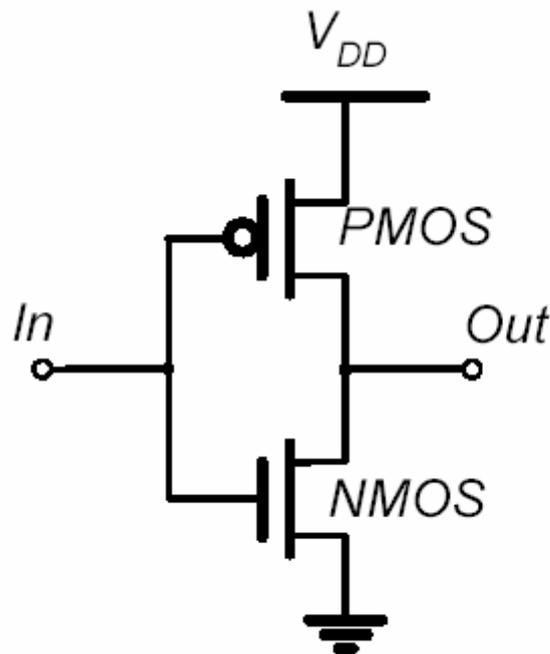
Si tratta di costruire e simulare mediante Cadence® un inverter realizzato in tecnologia CMOS, ovvero con NMOS utilizzati come Pull Down Network (PDN) e PMOS per realizzare la Pull Up Network (PUN).

In primis costruire un inverter mediante le librerie incluse in Cadence® e simularne il comportamento dinamico, al fine di valutarne i ritardi .

Terminata la prima simulazione costruire tale inverter da layout, ovvero mediante il disegno dei singoli layer; verificarne poi il comportamento dinamico.

1.2 Realizzazione dell'inverter mediante viste "Symbol"

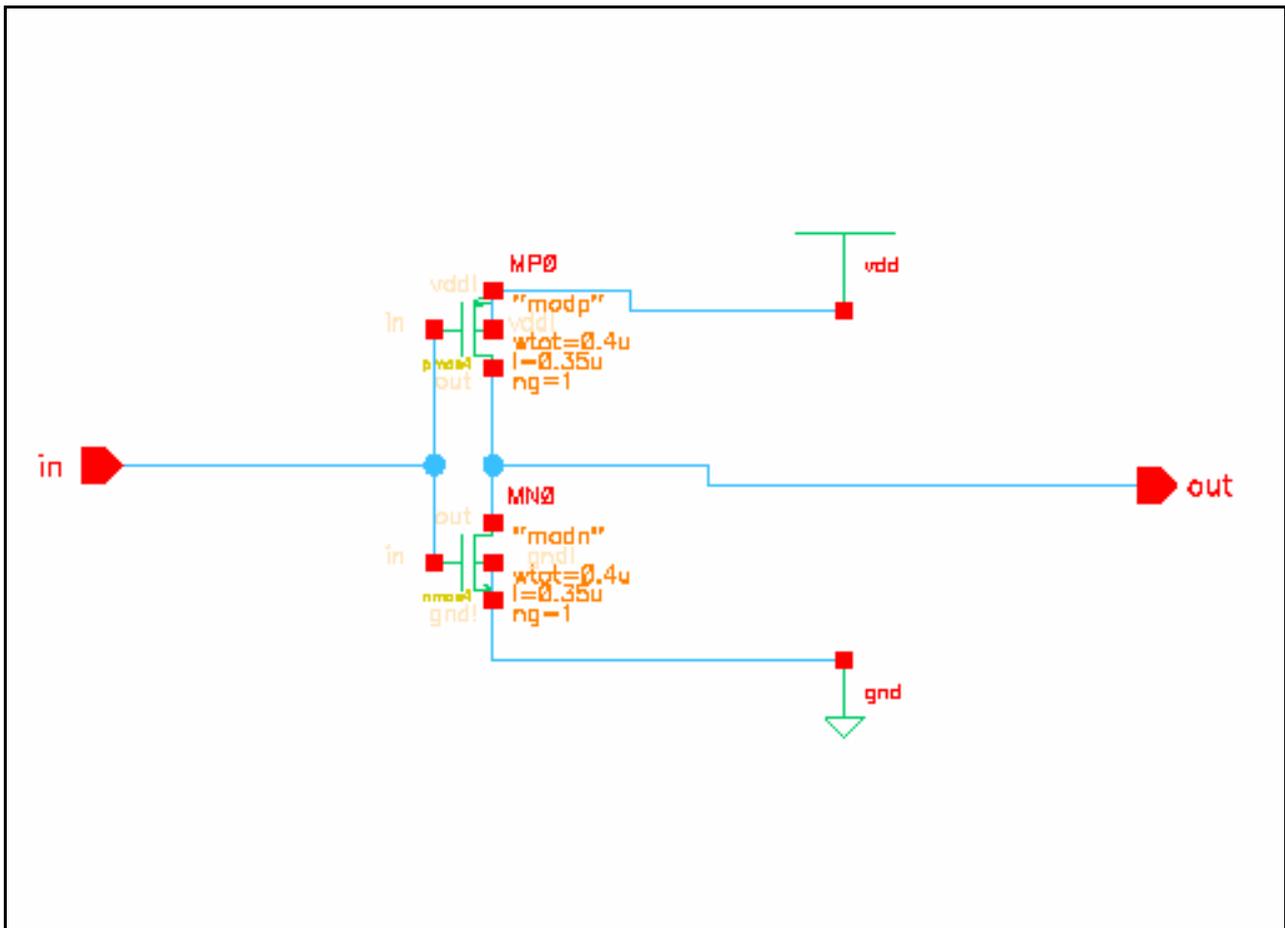
Il numero di componenti richiesti da un inverter digitale è pari a 2 MOS, di cui uno di tipo p ed un di tipo n. Il circuito presenta connessioni come da figura seguente :



Poiché la libreria "PRIMLIB" di Cadence® contiene al suo interno il layout ed il simbolo di entrambi i MOS, da essa attingiamo per creare il nostro primo circuito su cui verificare la transcaratteristica statica. Ne disegniamo dunque il circuito connettendo i vari blocchi funzionali, ovvero :

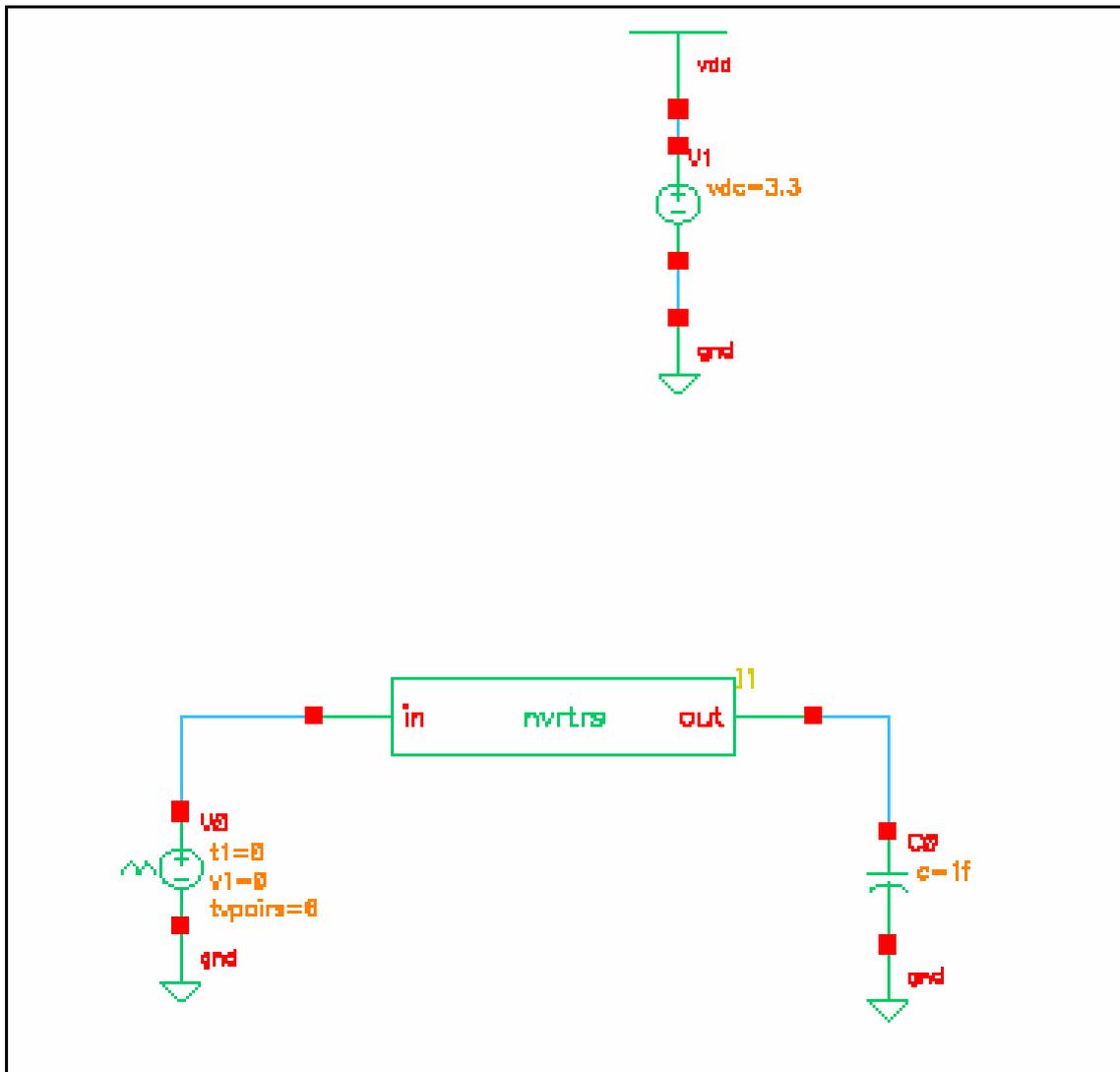
- Vdd e GND (da AnalogLib) ;
- NMOS4 e PMOS4 (da PRIMLIB) ;
- Pin di ingresso e uscita .

Il risultato è nel seguente schema :



Il rapporto di forma W/L dei transistori è stato dimensionato con valori minimi, ovvero con $W=0,4 \mu\text{m}$ e $L=0,35 \mu\text{m}$ per entrambi. Possiamo dunque osservare che la soglia di commutazione non sarà pari a $V_{dd}/2$ ma sarà spostata verso un valore minore di V_{in} . Tale asimmetria sarà inoltre ben visibile nella simulazione della transcaratteristica statica, oltrechè in quella dinamica.

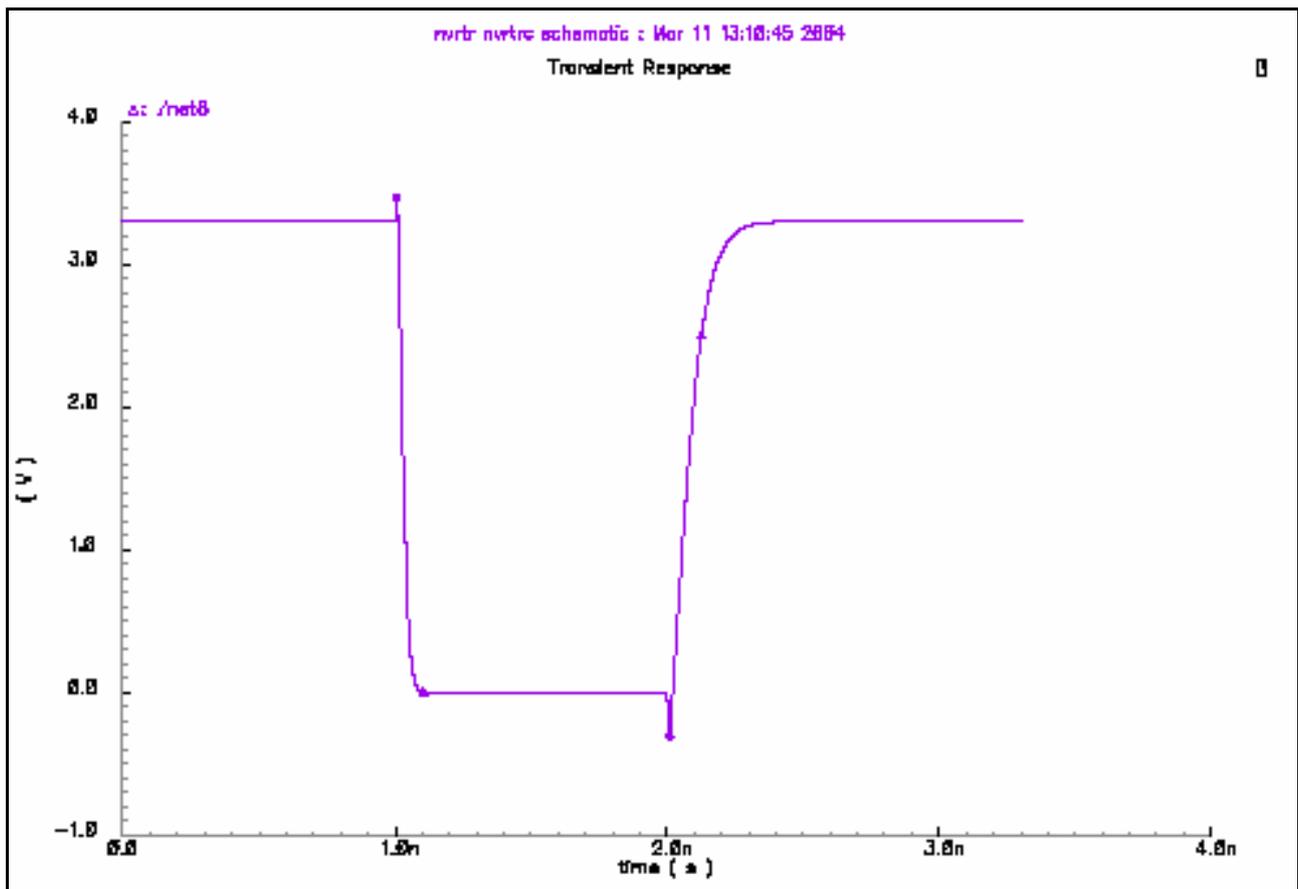
Il precedente schema è stato inserito all'interno di un simbolo, caricato poi con una capacità di 1 fF e vi è stato collegato un generatore variabile all'ingresso per poter effettuare una analisi temporale del comportamento del circuito, come si vede nella figura seguente. Ricordiamo che il blocco "nvrtrs" è costituito dall'inverter composto mediante soli simboli presenti in librerie di Cadence®.



Il generatore di tensione d'ingresso è stato settato in modo tale da fornire un'onda quadra con periodo di 2 ns (500 MHz), e tempo di commutazione pari a 10 ps; lo slew-rate

durante le transizioni vale: $\frac{3.3V}{10ps} = 330 \frac{GV}{s}$.

Il risultato è la curva seguente, ove non è stata presentata la tensione di ingresso per semplicità di plottaggio.

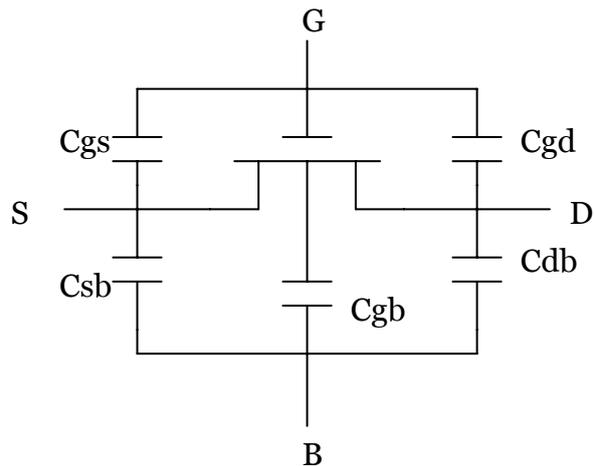


Come previsto si nota una forte asimmetria tra la commutazione $1 \rightarrow 0$ e la commutazione $0 \rightarrow 1$, dovuta alla scelta di utilizzare NMOS e PMOS entrambi di minime dimensioni. Nella fattispecie il più lento tra i due è il PMOS, che si occupa di connettere il carico a Vdd; infatti la curva ha un andamento esponenziale (derivante dall'equazione della carica capacitiva) che si esaurisce in maniera più lasca quando la transizione è da 0 a 1. L'asimmetria è dovuta alla differenza tra mobilità dei portatori dei due MOS, che sono elettroni nel NMOS e lacune nel PMOS. Si ha che $\frac{\mu_e}{\mu_h} \approx 3$, quindi per ridurre questo gap in genere il PMOS ha dimensione 3 volte maggiore rispetto al NMOS. In realtà viene da noi utilizzato un rapporto tra mobilità pari a 2: la porta CMOS è poco sensibile agli errori ed inoltre le capacità di ingresso diminuiscono.

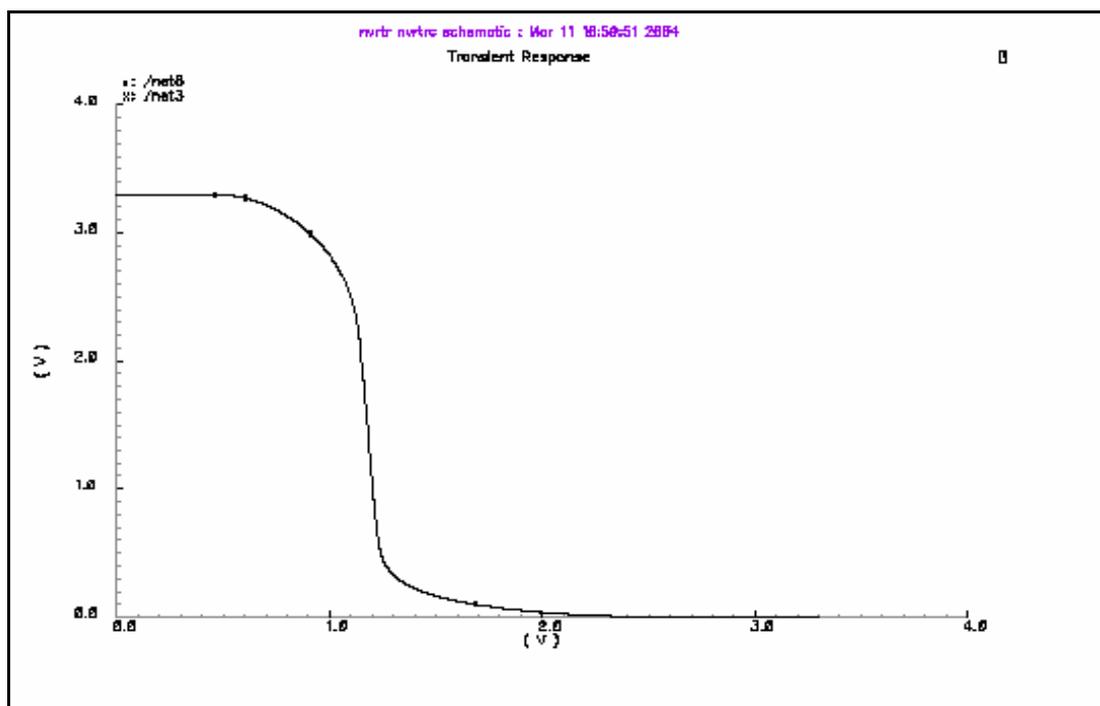
Le sovratensioni e sottotensioni che si osservano al principio delle commutazioni sono dovute a capacità tra gate e drain che procurano un "cammino" istantaneo tra ingresso ed uscita. Innanzitutto ciò rientra nelle non idealità del MOS, ovvero esso non è un interruttore a isolamento perfetto quando "spento". Inoltre il fenomeno specifico è spiegabile ricorrendo alla funzione di trasferimento dei condensatori: essi fanno passare le frequenze tendenti ad infinito mentre non conducono la componente continua; l'inizio

della commutazione rappresenta una frequenza molto elevata (trasformata di Fourier), perciò essi conducono. Si possono dunque associare a delle batterie, che si sommano in serie e con lo stesso segno alla tensione di uscita, aumentandone così il suo valore in modulo. Man mano, invece, che le componenti frequenziali si abbassano essi non conducono più .

Se si analizza lo schema delle capacità parassite del MOS (figura seguente), si nota che la capacità che fornisce un path tra ingresso ed uscita è C_{gd} per entrambi.



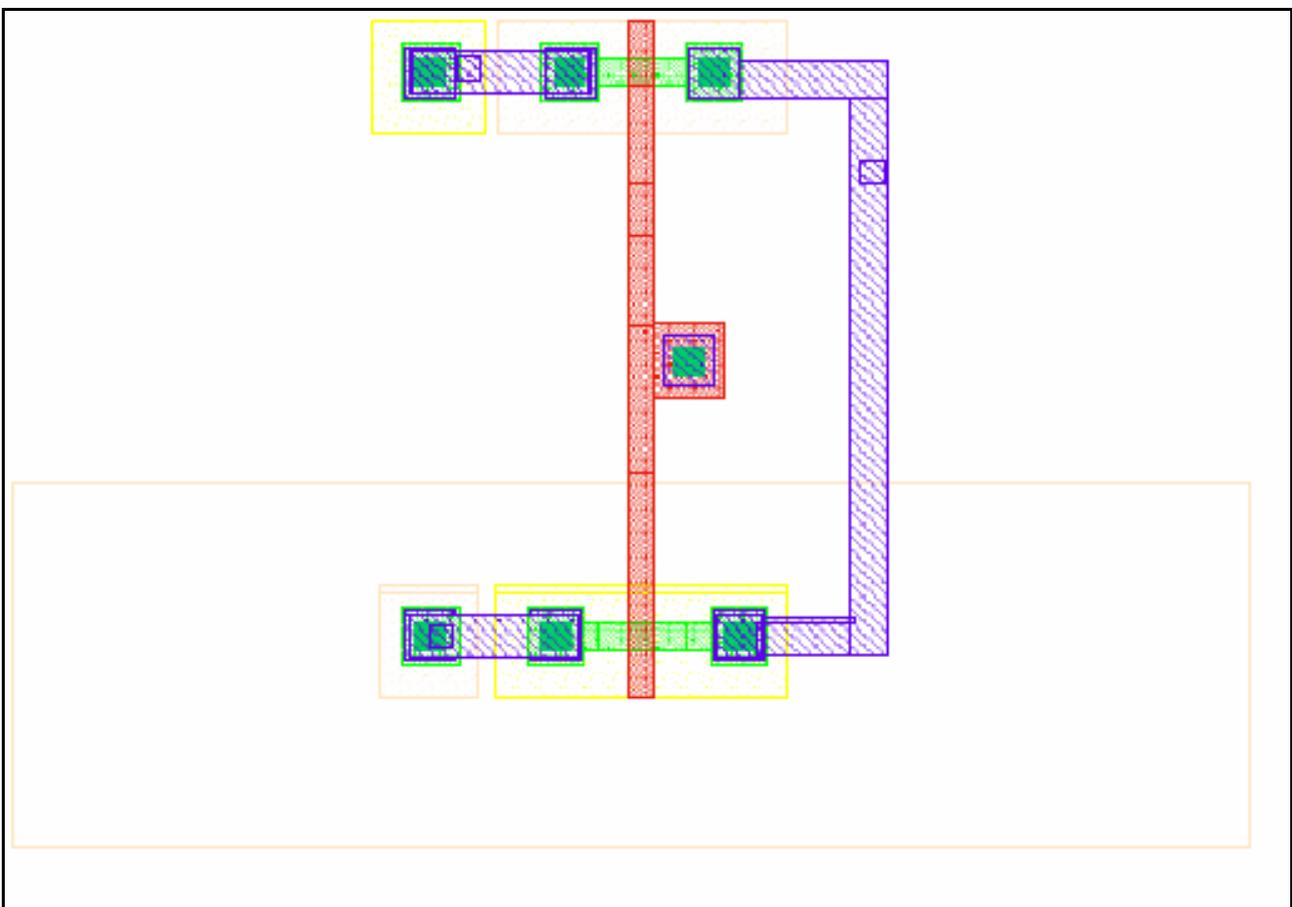
Infine presentiamo la transcaratteristica statica, ove è ancora una volta possibile vedere l'asimmetria circuitale mediante la valutazione della tensione di soglia del dispositivo, che è all'incirca pari a 1,2 V. Si noti anche che per una tensione d'alimentazione di 3,3 V, il valore ottimale di $V_{th - inverter}$ è $V_{dd}/2$, ovvero 1,65 V.



1.3 Realizzazione dell'inverter mediante layout

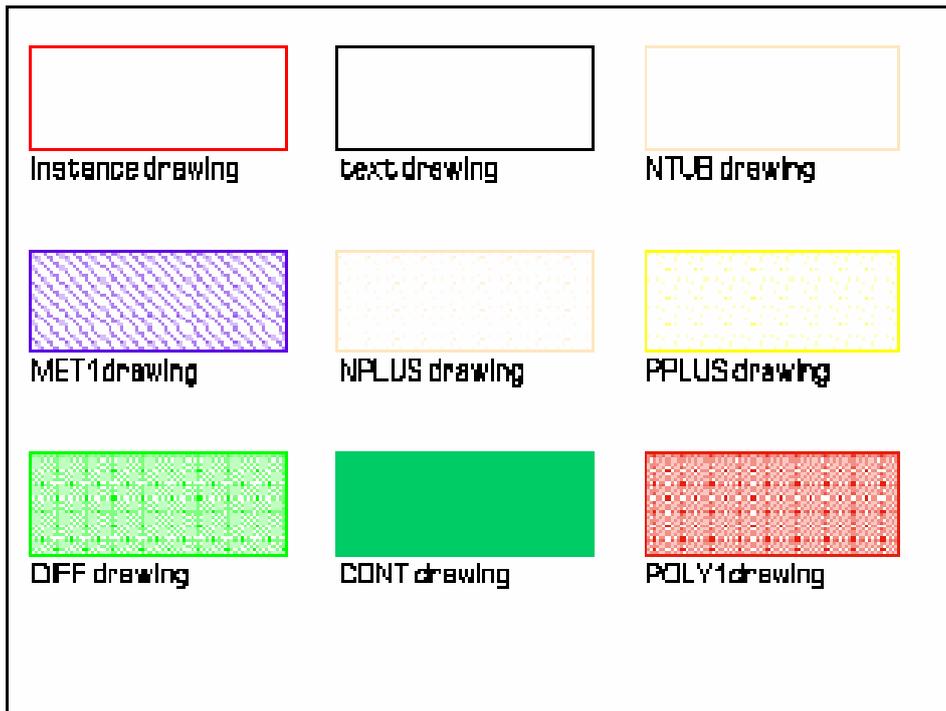
La realizzazione di un inverter, e, in generale di qualunque circuito integrato, devono soddisfare alcune specifiche di dimensionamento spaziale che permettono a chi costruisce il circuito di garantirne la fattibilità. Tali condizioni sono dettate perlopiù dai processi tecnologici adottati da chi si occupa di trasferire in realtà fisica ciò che il progettista ha disegnato. Senza entrare nel dettaglio, diremo solamente che le specifiche spaziali sono state rispettate nei circuiti che qui presentiamo, mentre sono stati trascurati altri fattori quali ad esempio il coverage di area ottimale.

Il layout che segue è frutto di tali specifiche, ma è facile constatare che, nonostante questi parametri restringenti, i gradi di libertà nella realizzazione del disegno rimangono molteplici: infatti si è scelto di utilizzare un'unica linea in polisilicio per connettere i gates dei MOS, ma da considerazioni che fanno parte del paragrafo successivo si sa che esso non è ottimale dal punto di vista della resistività. Questo è soltanto uno degli innumerevoli esempi di come il layout debba tenere conto di molti fattori oltre a quelli dimensionali, ma poiché lo scopo è la valutazione delle differenze di ritardi tra schematico e layout non presentiamo in questa parte (bensì più oltre nella relazione) le modifiche per ottimizzarlo.



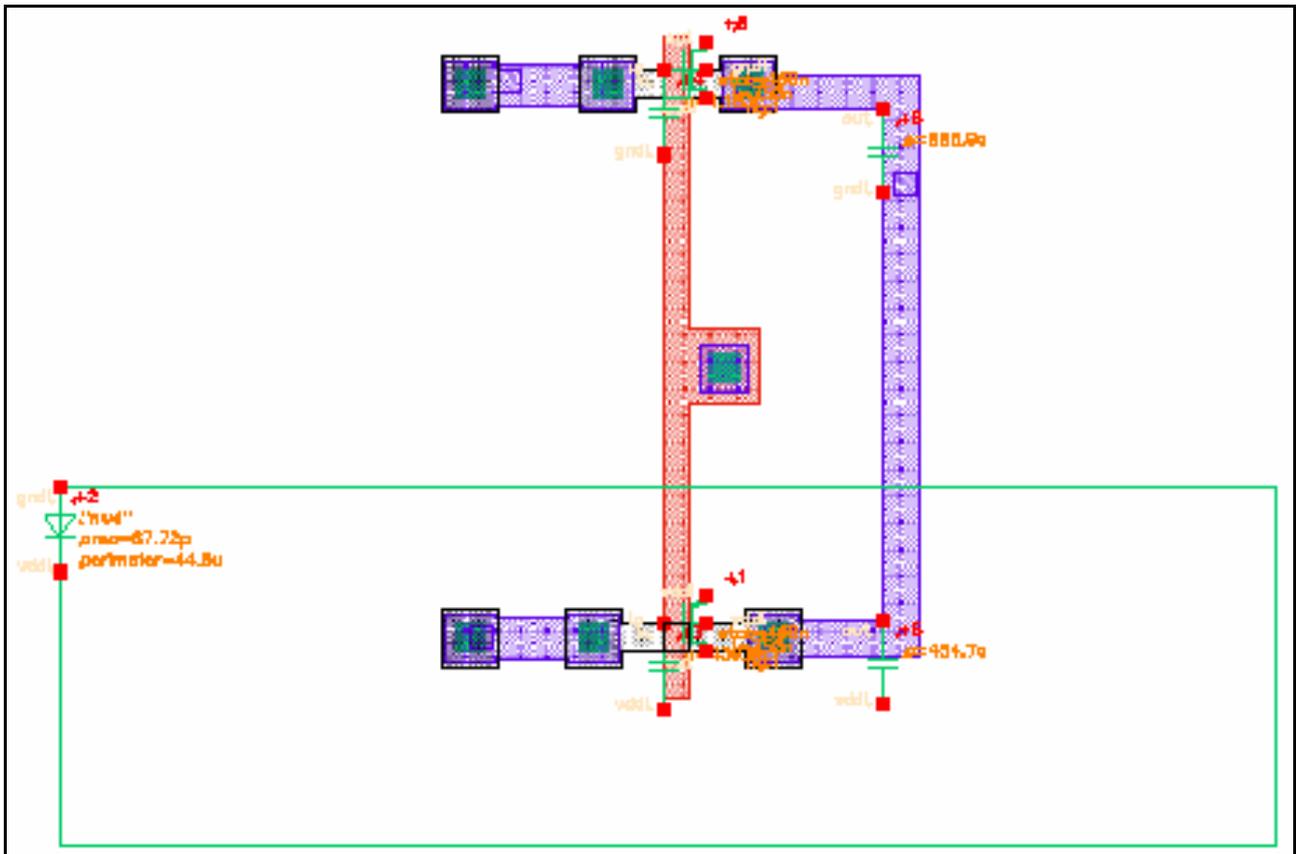
Il circuito inferiore realizza il PMOS, e lo si nota dal “NTUB” (pozzetto di tipo N) che lo circonda; la linea centrale è in polisilicio e collega i gates dei due transistori, mentre la parte in metallo collega i drains. Infine i due source sono collegati a massa e Vdd rispettivamente per N e PMOS.

Riportiamo inoltre la convenzione dei colori utilizzati dal tool Cadence® per i vari layers:



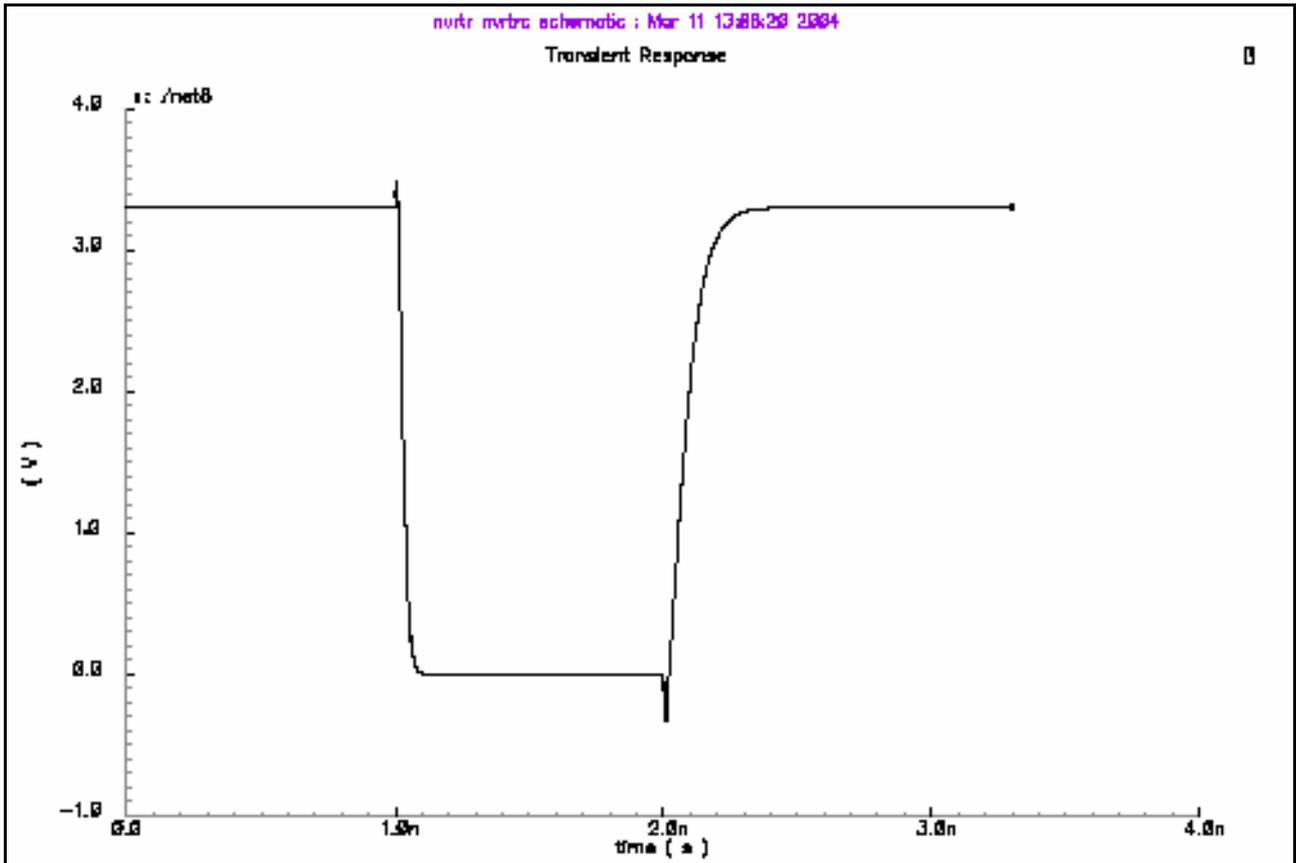
Come ulteriore osservazione possiamo affermare che la nostra realizzazione sarà sensibile al fenomeno del latch-up, in quanto nel layout non abbiamo utilizzato alcun accorgimento per prevenirlo. In tal senso sarebbe stato opportuno piazzare un buon numero di contatti verso l'esterno (soprattutto il bulk), onde portare il più possibile a tensione costante il substrato. L'aver rispettato le dimensioni minime tra layers di diverso tipo raccomandate dal costruttore invece contribuisce positivamente grazie all'eliminazione delle cariche vaganti.

Risulta difficoltoso notare le non idealità del circuito mediante tale vista, mentre è di aiuto la vista “extracted”, che il tool genera quando viene creato il layout. In tal caso possono essere osservati meglio i parametri parassiti dovuti ai singoli layers che vanno a comporre il circuito da noi desiderato .



Per visualizzare i parametri parassiti vi sono diversi livelli di complessità previsti dal tool; nel disegno sopra presentato è stato scelto di visualizzare un livello di ordine 2, ed è già sufficiente per notare, ad esempio, il diodo parassita dovuto al NTUB. Sono inoltre presenti alcuni condensatori (parassiti) che si vanno a formare per l'affacciamento di due superfici conduttive con isolante interposto.

In conclusione riportiamo la simulazione effettuata con un segnale ad onda quadra in ingresso all'inverter con caratteristiche uguali al precedente, ove non si notano differenze significative tra il modello realizzato dal nostro gruppo e quello nelle librerie del programma di simulazione :



2 Ritardi di commutazione

2.1 Specifiche

Dati due set di misure eseguiti su due transistori n-MOS, ricavare le costanti λ , V_{dsat} e k_n dell'equazione fondamentale dei transistori MOS. Una volta ottenuta la relazione costituente, verificare la sua validità ponendo a confronto i risultati ottenuti da una simulazione mediante il tool Cadence[®]. La simulazione prevede la "misura" dei tempi di ritardo, sia nella transizione dell'uscita $H \rightarrow L$ che nella transizione $L \rightarrow H$, dato un inverter con $W_n/L_n = 10\mu\text{m}/0.35\mu\text{m}$ e $W_p/L_p = 22\mu\text{m}/0.35\mu\text{m}$.

La capacità di carico assumerà valori compresi tra 100fF e 500fF e i risultati verranno confrontati con il modello matematico precedentemente calcolato ma, essendo noto solamente il comportamento dell' n-MOS, il confronto sarà eseguito solamente sulla transizione $H \rightarrow L$.

2.2 Calcolo delle costanti del modello matematico

Nota a priori che un modello matematico valido del transistor MOS è:

$$I_D = k'_n \cdot W/L \left[(V_{GT} \cdot V_{\min}) - \frac{V_{\min}^2}{2} \right] (1 + \lambda \cdot V_{DS})$$

dove,

$$k'_n = k_n \cdot L/W,$$

$$V_{GT} = V_{GS} - V_{TH},$$

$$V_{\min} = \min(V_{GT}, V_{DS}, V_{DSAT}),$$

$$V_T = V_{T0} + \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|} \right),$$

si può procedere nella determinazione dei parametri assumendo $V_{TH} = 0.4V$.

Il modello che andremo a ricavarci sarà ottimizzato per la caratteristica dell' n-MOS avente $V_{GS} = 2V$ che, dai dati messi a nostra disposizione, è circa al centro dell'escursione della V_{GS} misurata.

Il primo parametro che verrà estrapolato dalle misure sarà λ .

Prendiamo, dalla tabella delle misurazioni, due punti della transcaratteristica aventi :

$$V_{GS1} = V_{GS2} = 2V$$

$$V_{DS1} = 2V ; V_{DS2} = 3.3V$$

Siccome da λ dipende la pendenza della caratteristica nella zona di saturazione, i punti che abbiamo appena scelto sono circa al centro di tale zona. A questo punto è possibile utilizzare l'equazione caratteristica in questi due punti che, rispetto alla generale, risulta così modificata:

$$I_D = \frac{k'_n}{2} \cdot W/L [V_{GT}]^2 (1 + \lambda \cdot V_{DS})$$

Avendo a disposizione due punti, possiamo mettere a rapporto l'espressione:

$$\frac{I_{D2}}{I_{D1}} = \frac{\frac{k'_n}{2} \cdot W/L [V_{GT}]^2 (1 + \lambda \cdot V_{DS2})}{\frac{k'_n}{2} \cdot W/L [V_{GT}]^2 (1 + \lambda \cdot V_{DS1})}$$

e, dopo evidenti semplificazioni e poche manipolazioni si giunge a:

$$\lambda = \frac{I_{D2} - I_{D1}}{V_{DS2} \cdot I_{D1} - V_{DS1} \cdot I_{D2}}$$

Avendo a disposizione i valori delle due correnti di Drain relative alle condizioni sopra descritte e, essendo scomparsi dall'equazione gli altri parametri dei quali non conosciamo ancora il valore, otteniamo:

$$\lambda_{C.Lungo} = 4.18 \cdot 10^{-3}; \lambda_{C.Corto} = 35.5 \cdot 10^{-3}$$

Passiamo dunque al calcolo della tensione di saturazione di velocità V_{DSAT} scegliendo le due curve della caratteristica che più sono vicine alla caratteristica per $V_{GS}=2V$.

Scegliamo, quindi,

$$V_{GS1} = 1.75V; V_{GS3} = 2.25V$$

ipotizzando che la V_{GS2} sia la nostra curva a $V_{GS}=2V$.

Per quanto riguarda la V_{DS} , questa viene presa circa al centro dell'escursione totale e costante per entrambi i valori di V_{GS} :

$$V_{DS1} = V_{DS3} = 2V$$

A questo punto, si procede nei calcoli come nel precedente caso ricordando che l'equazione caratteristica prevede la sostituzione di V_{min} con la V_{DSAT} :

$$I_D = k'_n \cdot W/L \left[(V_{GT} \cdot V_{DSAT}) - \frac{V_{DSAT}^2}{2} \right] (1 + \lambda \cdot V_{DS})$$

Il rapporto tra le correnti da Drain sarà dunque

$$\frac{I_{D3}}{I_{D1}} = \frac{k'_n \cdot W/L \left[(V_{GT3} \cdot V_{DSAT}) - \frac{V_{DSAT}^2}{2} \right] (1 + \lambda \cdot V_{DS3})}{k'_n \cdot W/L \left[(V_{GT1} \cdot V_{DSAT}) - \frac{V_{DSAT}^2}{2} \right] (1 + \lambda \cdot V_{DS1})}$$

Ancora una volta l'equazione si riduce facilmente presentando come incognita solamente la V_{DSAT} , che è il parametro che ci interessa.

$$V_{DSAT} = 2 \cdot \frac{I_{D3} \cdot V_{GS1} - I_{D1} \cdot V_{GS3} + V_{TH} \cdot (I_{D1} - I_{D3})}{I_{D3} - I_{D1}}$$

In questo caso, al contrario del precedente, si è preferito calcolare la tensione di saturazione di velocità per più curve di V_{GS} in modo da ottenere una caratteristica più simile a quella misurata:

$$V_{DSAT_C.Lungo} (@ V_{GS} = 1.5V) = 1.1V$$

$$V_{DSAT_C.Lungo} (@ V_{GS} = 2V) = 1.53V$$

$$V_{DSAT_C.Lungo} (@ V_{GS} = 2.75V) = 2.06V$$

$$V_{DSAT_C.Corto} (@ V_{GS} = 1.5V) = 0.97V$$

$$V_{DSAT_C.Corto} (@ V_{GS} = 2V) = 1.23V$$

$$V_{DSAT_C.Corto} (@ V_{GS} = 2.75V) = 1.404V$$

Come si può notare, e come era noto dalla teoria, Il valore di V_{DSAT} ha una notevole influenza nel MOS a canale corto mentre, per il canale lungo, non si commetterebbe un errore enorme considerando $V_{DSAT} = V_{GS} - V_{TH}$.

L'ultimo parametro da calcolare è il guadagno k_n che, semplicemente, viene ottenuto applicando il modello matematico in un punto della caratteristica e facendo coincidere la corrente I_d con quella risultante dalle misure.

Come punto della caratteristica viene preso quello con tensioni

$$V_{GS} = 2V$$

$$V_{DS} = 2V$$

che sono relative alla zona di saturazione del dispositivo.

La caratteristica in questa zona risponde all'equazione, peraltro già vista,

$$I_D = k'_n \cdot W/L \left[(V_{GT} \cdot V_{DSAT}) - \frac{V_{DSAT}^2}{2} \right] (1 + \lambda \cdot V_{DS})$$

Dopo poche manipolazioni matematiche si giunge all'equazione con la sola incognita k_n :

$$k_n = \frac{I_D}{\left[(V_{GT} \cdot V_{DSAT}) - \frac{V_{DSAT}^2}{2} \right] (1 + \lambda \cdot V_{DS})}$$

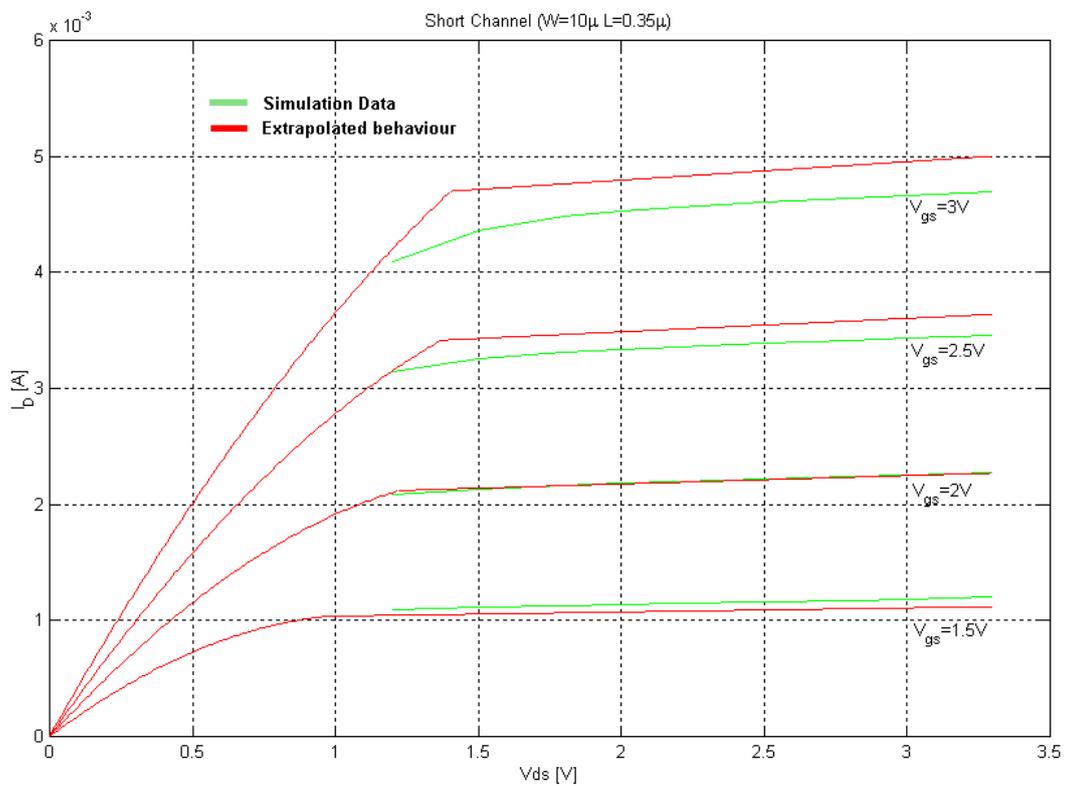
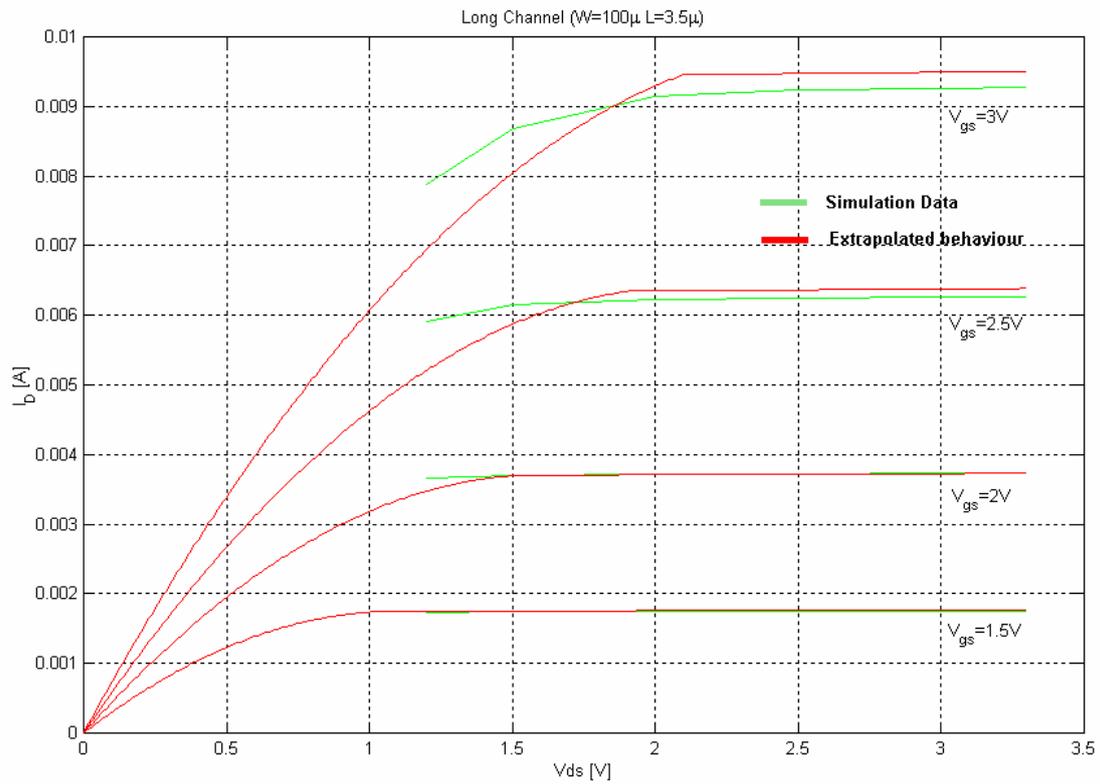
da cui

$$\frac{k_{n_C.Lungo}}{2.88 \frac{mA}{V^2}} \rightarrow k'_{n_C.Lungo} = 45 \frac{\mu A}{V^2}$$

$$\frac{k_{n_C.Corto}}{1.68 \frac{mA}{V^2}} \rightarrow k'_{n_C.Corto} = 58.9 \frac{\mu A}{V^2}$$

A questo punto abbiamo tutti i parametri necessari per poter modellizzare il comportamento dei due transistor n-MOS in oggetto. Nella pagina seguente sono rappresentati graficamente i risultati di questa approssimazione messi a confronto con i due set di misure a nostra disposizione.

Come è possibile notare l'approssimazione è molto simile alla realtà solamente per la curva a $V_{GS} = 2V$, cioè dove sono stati eseguiti i confronti. Per la restante parte della transcaratteristica resta in ogni caso un valido modello.



2.3 Ritardi di un n-MOS a canale corto - valutazione

Per valutare i ritardi di un MOS a canale corto è possibile studiare il circuito come una rete RC, ove le resistenze sono dovute al canale del MOS in conduzione mentre il termine dominante di capacità è dovuto a C_L ; quest'ultimo è dovuto alla porta pilotata dal circuito considerato: un inverter in questo caso.

Il ritardo di commutazione è proporzionale ad R e C mediante l'equazione :

$$t_p = 0,69RC$$

ove 0,69 è il $\log_e(2)$, e deriva dall'aver scelto di misurare il ritardo quando l'uscita è pari a metà dello swing logico.

Purtroppo, anche se lo studio di una rete RC risulta semplice, la resistenza del canale del MOS non ha un unico valore durante la scarica della capacità di carico. Un modo semplice per la valutazione del tempo di scarica di tale capacità è quello di considerare come r_{ON} una resistenza che è la media della resistenza di canale durante la scarica. Chiameremo questa resistenza equivalente R_{eq} ed il suo valore verrà dato da:

$$R_{eq} \approx \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSAT}} \cdot \left(1 - \frac{7}{9} \cdot \lambda \cdot V_{DD} \right)$$

dove V_{DD} è la tensione di alimentazione dell'inverter e I_{DSAT} assume il valore:

$$I_{DSAT} = k_n \cdot \left[(V_{DD} - V_{TH}) \cdot V_{DSAT} - \frac{V_{DSAT}^2}{2} \right]$$

A questo punto possiamo procedere con il calcolo della resistenza equivalente r_{eq} utilizzando i parametri del modello matematico del MOS a canale n ricavati al punto precedente:

$$\lambda_{C.Corto} = 35.5 \cdot 10^{-3}$$

$$k_{n.C.Corto} = 1.68 \frac{mA}{V^2}$$

$$V_{DSAT_C.Corto} (@ V_{GS} = 2.75V) = 1.404V$$

Dai calcoli otteniamo:

$$I_{DSAT} = 5.18mA$$

$$R_{eq} = 434\Omega$$

Nella tabella che segue è possibile un confronto tra il ritardo teorico calcolato con una R_{eq} di 434Ω e quello simulato.

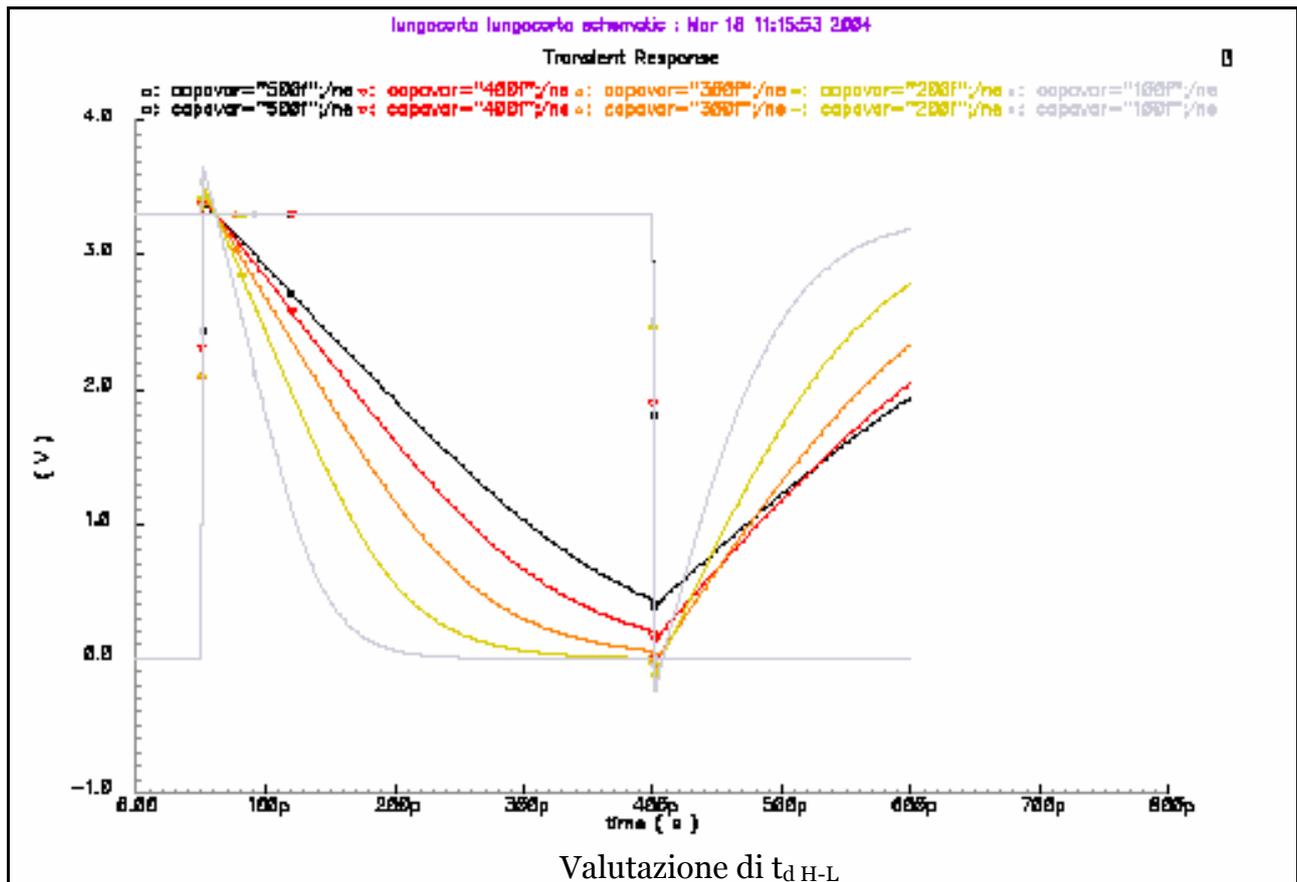
Capacità	100 fF	200 fF	300 fF	400 fF	500 fF
$t_{D(H \rightarrow L) \text{ Teor. [ps]}}$	30	59	90	119	150
$t_{D(H \rightarrow L) \text{ Simul. [ps]}}$	54	85	116	147	178
$\Delta t_D \text{ [ps]}$	24	26	26	28	28

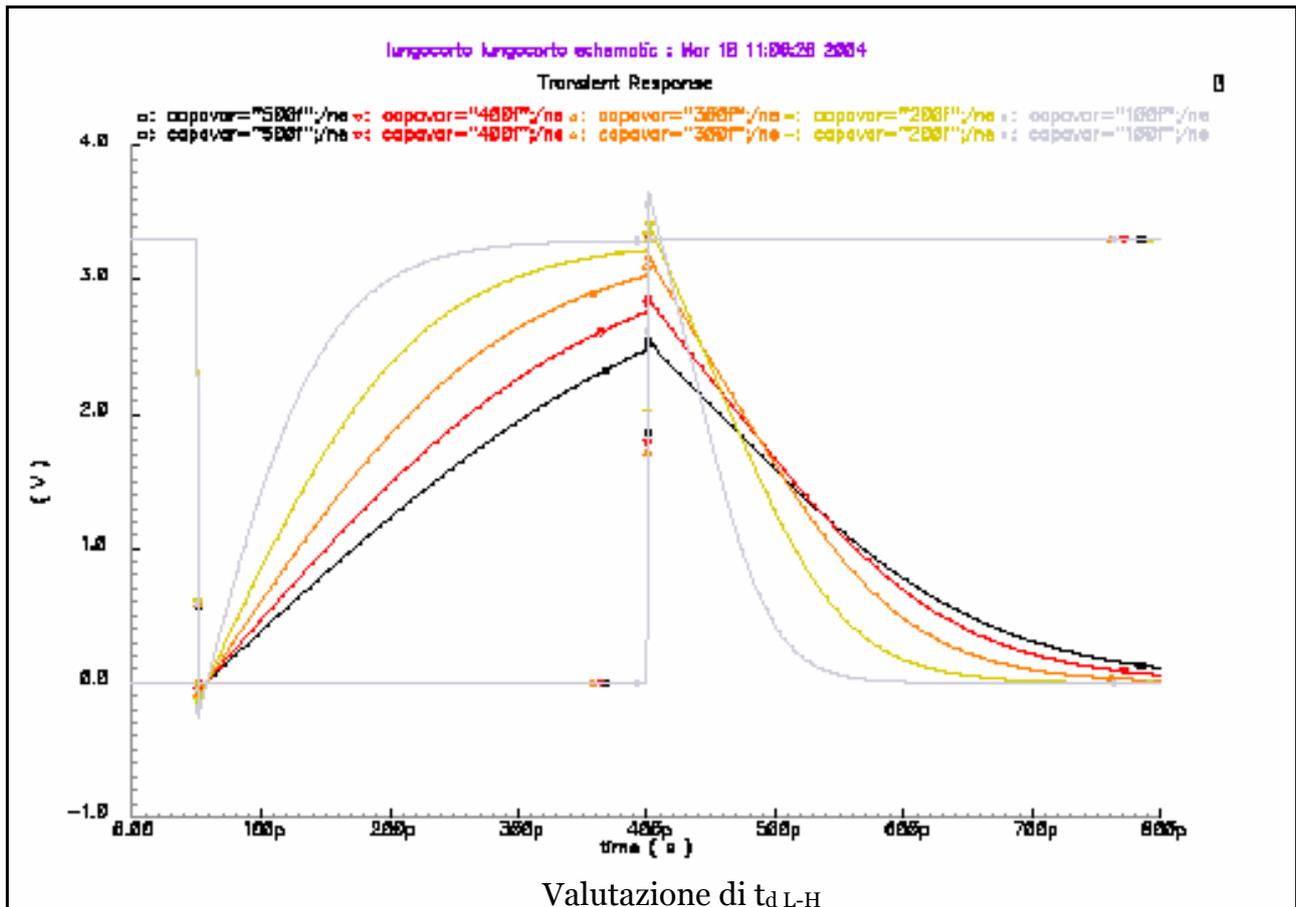
Come è possibile notare, la differenza tra il risultato teorico e quello simulato (Δt_D), è circa costante per tutti i valori di capacità di carico. Purtroppo, il valore teorico, non risulta attendibile per capacità di basso valore (Err=56%) ma, come sarà possibile verificare nel paragrafo successivo, questo è dovuto ad un picco di extra-tensione della durata di circa 20ps. Questo picco è dovuto alla scarica della capacità parassita tra Drain e Gate precedentemente caricata a $V_{DD}-V_{GS}$ con $V_{GS} \approx 0V$.

2.3 Ritardi di un MOS a canale corto - simulazione

Per stimare i ritardi di un inverter CMOS mediante simulazione, è stato utilizzato un inverter con alcuni valori di C_L all'interno del simulatore Cadence®.

La simulazione ha dato come risultato le seguenti curve con C_L parametrico e variabile entro 100 fF ÷ 500 fF. La prima si riferisce a t_{dH-L} mentre la seconda valuta t_{dL-H} :





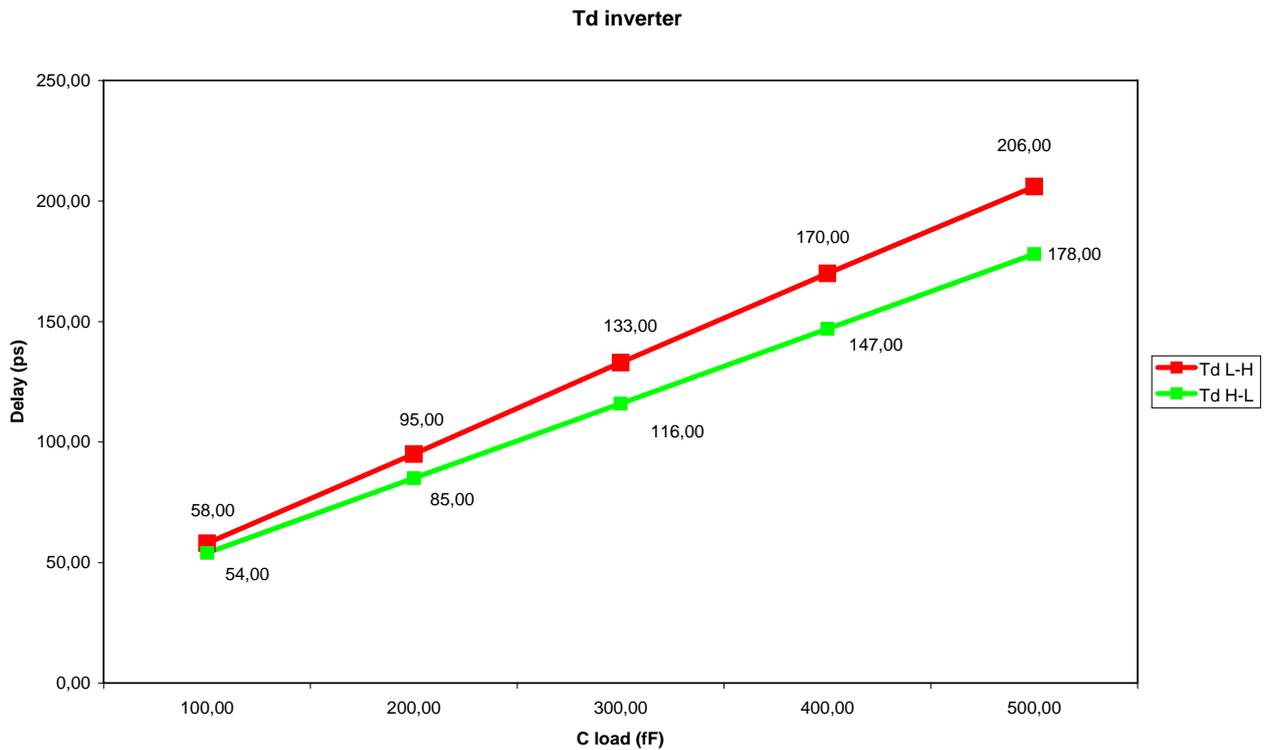
Si è preferito valutarlo in due curve separate poiché meglio misurabile ed inoltre il tempo necessario a far scaricare completamente il condensatore con capacità maggiore avrebbe portato ad un grafico poco leggibile .

I valori ricavati sono stati misurati valutando il ritardo quando l'uscita raggiungeva il valore di 1,65 V , ovvero $V_{cc}/2$. Vi è un leggero errore nella lettura, dovuto al fatto che le extra tensioni all'inizio delle commutazioni fanno allargare il range delle commutazioni, ma è normalmente trascurabile.

Risulta dunque :

Capacità	100 fF	200 fF	300 fF	400 fF	500 fF
$t_{D(L \rightarrow H)}$ [ps]	58	95	133	170	206
$t_{D(H \rightarrow L)}$ [ps]	54	85	116	147	178

Dalla visione grafica di questi ultimi dati si nota come il tempo di salita ed il tempo di discesa siano diversi, ma anche che all'aumentare del carico tale divario aumenti in valore assoluto ma non in valore relativo, attestandosi ad un valore di circa il 13 %. Tale considerazione non si applica per i valori misurati con $C_L = 100$ fF poiché affetti da eccessiva incertezza.



La motivazione dell'asimmetria di commutazione è da ricercare nella non perfetta corrispondenza tra la R_{ON} del PMOS e quella del NMOS ; infatti dalle formule si ha che :

$$t_{pHL} = 0,69R_{eqN}C_L$$

e che

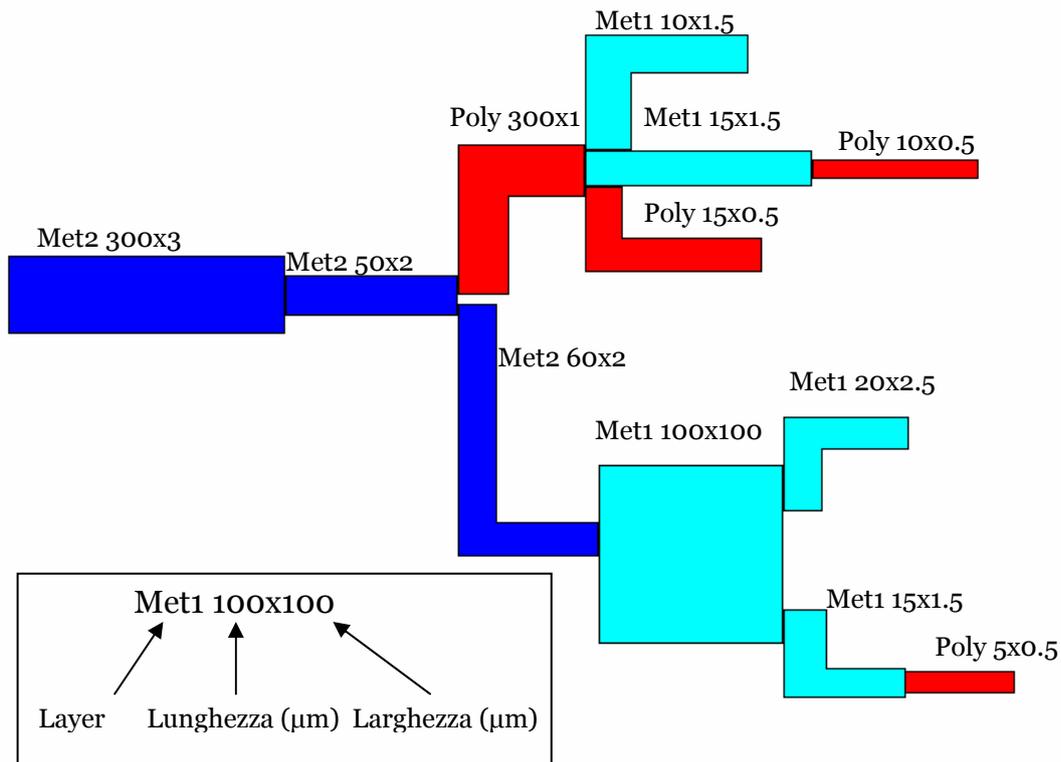
$$t_{pLH} = 0,69R_{eqP}C_L$$

Da qui si nota che poiché R_{ON} del PMOS è maggiore, il tempo di commutazione in salita sarà più grande . La causa della maggior resistività sono i portatori, più lenti nei PMOS poiché lacune, veloci nei NMOS poiché elettroni.

3 Linee di trasmissione

3.1 Specifiche

Data la seguente linea di trasmissione :



Calcolare il ritardo di propagazione di un segnale che l'attraversa mediante il modello di Elmore. Confrontarne poi i risultati con una simulazione mediante CAD .

Utilizzando i parametri:

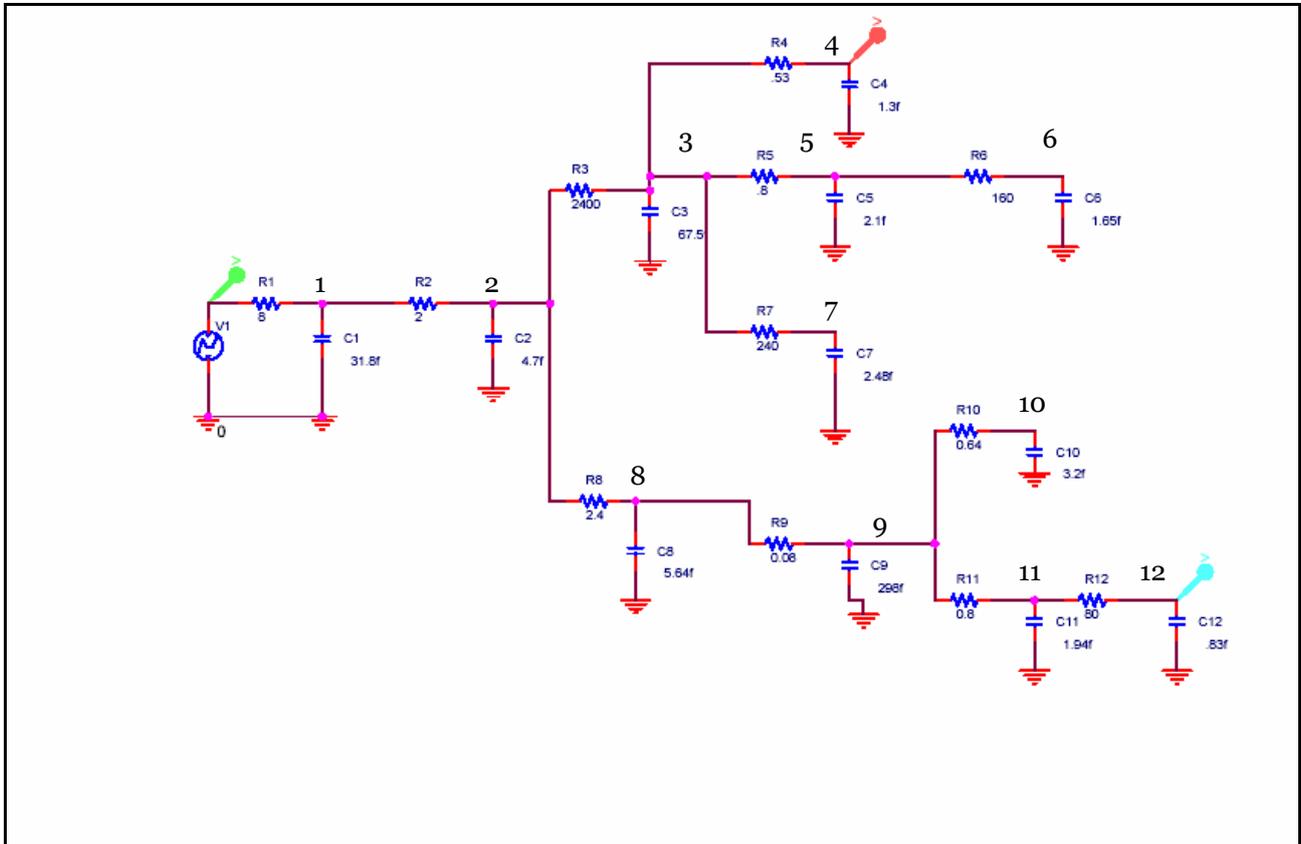
Elemento Parametro	Metallo 1	Metallo 2	Silicio policristallino
$C_{AREA} \left[\frac{aF}{\mu m^2} \right]$	29	12	119
$C_{PERIMETRO} \left[\frac{aF}{\mu m} \right]$	44	35	53
$R_{\square} \left[\frac{\Omega}{\square} \right]$	0.08	0.08	8

Otteniamo i valori di capacità e resistenza relativi ad ogni ramo:

Schema	Tipo di conduttore	Width [μm]	Lenght [μm]	R_{\square} [Ω/]	C_{AREA} [aF/μm]	$C_{PERIMETRO}$ [aF/μm]	C_{TOT} [fF]	R_{TOT} [Ω]
R_4, C_4	Metal 1	1,5	10	0,08	29	44	1,32	0,53
R_5, C_5	Metal 1	1,5	15	0,08	29	44	1,97	0,8
R_{10}, C_{10}	Metal 1	2,5	20	0,08	29	44	3,21	0,64
R_9, C_9	Metal 1	100	100	0,08	29	44	298,8	0,08
R_{11}, C_{11}	Metal 1	1,5	15	0,08	29	44	1,97	0,8
R_1, C_1	Metal 2	3	300	0,08	12	35	31,8	8
R_2, C_2	Metal 2	2	50	0,08	12	35	4,7	2
R_8, C_8	Metal 2	2	60	0,08	12	35	5,64	2,4
R_3, C_3	Polisilicon	1	300	8	119	53	67,5	2400
R_6, C_6	Polisilicon	0,5	10	8	119	53	1,66	160
R_7, C_7	Polisilicon	0,5	15	8	119	53	2,48	240
R_{12}, C_{12}	Polisilicon	0,5	5	8	119	53	0,83	80

3.2 Rete RC - simulazione

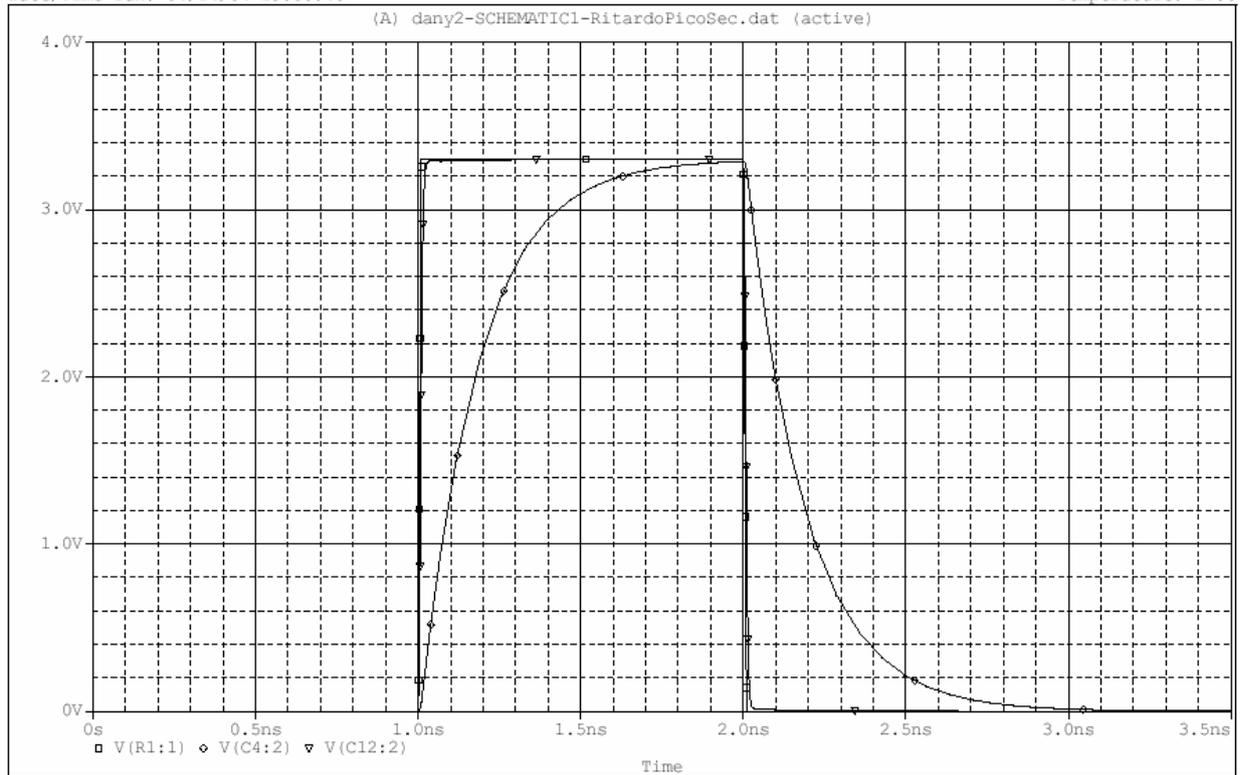
Il circuito è stato simulato mediante PSPICE 9.1, e lo schematico utilizzato è il seguente :



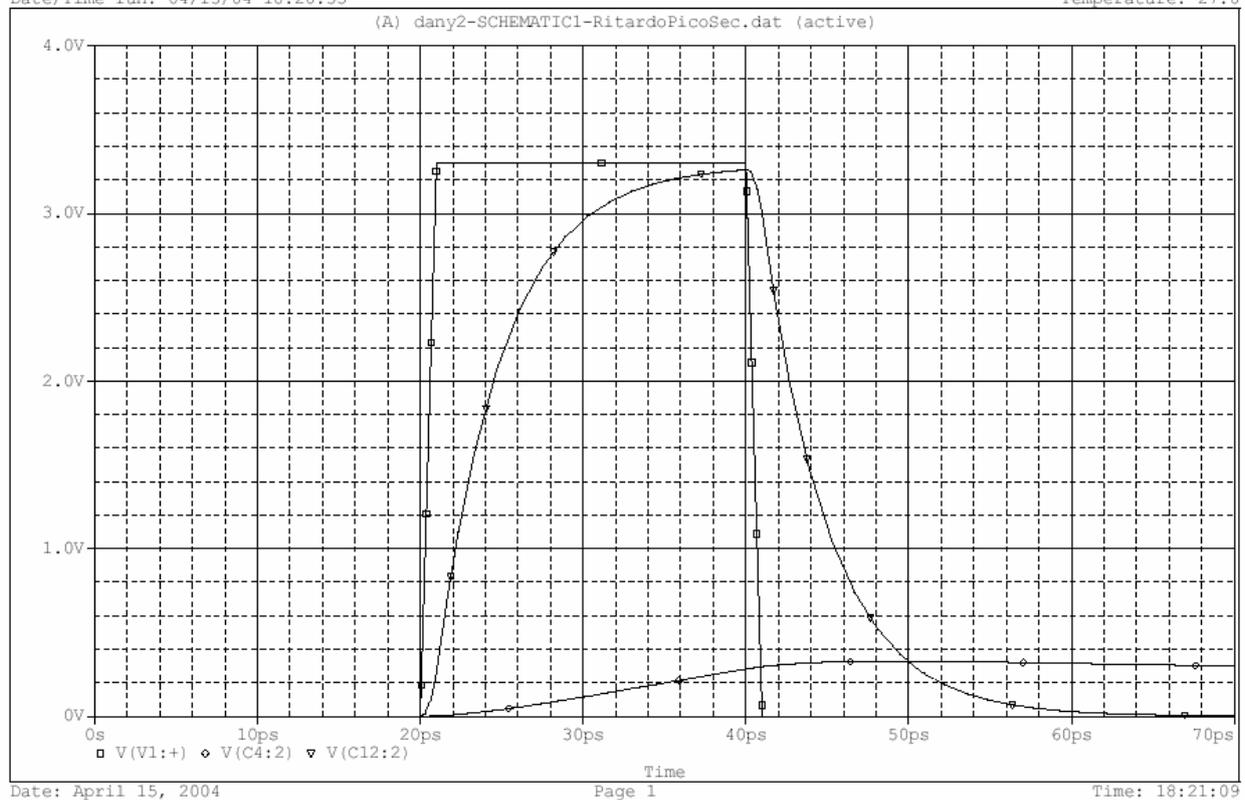
Mentre i risultati della simulazione hanno fornito tempi di ritardo abbastanza simili tra i 3 rami superiori, il cui valore si attesta a 130 ps, vi è una notevole differenza tra questi ed i due rami inferiori, il cui ritardo è di 3,5 ps .

La differenza tra i due rami è data dal percorso in cui si ha R_3 , che è pari a 2400 Ohm; tale path è costituito da polisilicio ed essendo molto lungo influisce in maniera consistente sul tempo di ritardo .

La figura seguente mostra il ritardo dei rami superiori :



Mentre la figura seguente mostra il ritardo del ramo inferiore :



3.3 Rete RC – valutazione con modello di Elmore

Per un calcolo approssimato del ritardo dovuti alla linea conduttiva, utilizziamo la formula di Elmore per il ritardo:

$$\tau_{Di} = \sum_{k=1}^N C_k \cdot R_{ik}$$

dove ‘N’ è il numero di nodi nella rete (nel nostro caso 12), ‘i’ è il nodo d’uscita nel quale vogliamo calcolare il ritardo mentre,

$$R_{ik} = \sum (R_j \in [path(s \rightarrow i) \cap path(s \rightarrow k)])$$

cioè la somma delle resistenze in comune ai percorsi $s \rightarrow i$ ed $s \rightarrow k$ prendendo ‘s’ come nodo sorgente. Una volta nota la costante di tempo relativa al nodo d’uscita, il tempo di ritardo varrà:

$$t_{Di} = 0,69 \cdot \tau_{Di}$$

Volendo calcolarsi il ritardo della nostra linea conduttrice tra ‘s’ ed il nodo ‘4’, procederemo come segue:

$$\begin{aligned} \tau_{D4} = & C_1 \cdot R_{4 \rightarrow 1} + C_2 \cdot R_{4 \rightarrow 2} + C_3 \cdot R_{4 \rightarrow 3} + C_4 \cdot R_{4 \rightarrow 4} + C_5 \cdot R_{4 \rightarrow 5} + C_6 \cdot R_{4 \rightarrow 6} + C_7 \cdot R_{4 \rightarrow 7} + \\ & + C_8 \cdot R_{4 \rightarrow 8} + C_9 \cdot R_{4 \rightarrow 9} + C_{10} \cdot R_{4 \rightarrow 10} + C_{11} \cdot R_{4 \rightarrow 11} + C_{12} \cdot R_{4 \rightarrow 12} \end{aligned}$$

dove, esplicitando le resistenze relative ai percorsi, otteniamo:

$$\begin{aligned} \tau_{D4} = & C_1 \cdot R_1 + C_2 \cdot (R_1 + R_2) + C_3 \cdot (R_1 + R_2 + R_3) + C_4 \cdot (R_1 + R_2 + R_3 + R_4) + C_5 \cdot (R_1 + R_2 + R_3) + \\ & + C_6 \cdot (R_1 + R_2 + R_3) + C_7 \cdot (R_1 + R_2 + R_3) + C_8 \cdot (R_1 + R_2) + C_9 \cdot (R_1 + R_2) + C_{10} \cdot (R_1 + R_2) + \\ & + C_{11} \cdot (R_1 + R_2) + C_{12} \cdot (R_1 + R_2) \end{aligned}$$

Prendendo i valori delle resistenze e capacità dalla tabella presente all’inizio della presente esercitazione, troviamo una costante di tempo di

$$\tau_{D4} = 184 \text{ ps}$$

e, calcolando il tempo di ritardo al 50% della carica (o scarica) del condensatore, otteniamo:

$$t_{D4} = 127 \text{ ps}$$

Si è, per completezza, voluto calcolare anche il ritardo causato dalla linea di conduttore dal nodo sorgente al nodo ‘12’. Come per il caso precedente, ci siamo ricondotti all’equazione contenente i percorsi resistivi

$$\begin{aligned} \tau_{D12} = & C_1 \cdot R_{12 \rightarrow 1} + C_2 \cdot R_{12 \rightarrow 2} + C_3 \cdot R_{12 \rightarrow 3} + C_4 \cdot R_{12 \rightarrow 4} + C_5 \cdot R_{12 \rightarrow 5} + C_6 \cdot R_{12 \rightarrow 6} + C_7 \cdot R_{12 \rightarrow 7} + \\ & + C_8 \cdot R_{12 \rightarrow 8} + C_9 \cdot R_{12 \rightarrow 9} + C_{10} \cdot R_{12 \rightarrow 10} + C_{11} \cdot R_{12 \rightarrow 11} + C_{12} \cdot R_{12 \rightarrow 12} \end{aligned}$$

per poi ricavarci l'equazione definitiva:

$$\begin{aligned} \tau_{D12} = & C_1 \cdot R_1 + C_2 \cdot (R_1 + R_2) + C_3 \cdot (R_1 + R_2) + C_4 \cdot (R_1 + R_2) + C_5 \cdot (R_1 + R_2) + C_6 \cdot (R_1 + R_2) + \\ & + C_7 \cdot (R_1 + R_2) + C_8 \cdot (R_1 + R_2 + R_8) + C_9 \cdot (R_1 + R_2 + R_8 + R_9) + C_{10} \cdot (R_1 + R_2 + R_8 + R_9) + \\ & + C_{11} \cdot (R_1 + R_2 + R_8 + R_9 + R_{11}) + C_{12} \cdot (R_1 + R_2 + R_8 + R_9 + R_{11} + R_{12}) \end{aligned}$$

Svolgendo i calcoli siamo pervenuti a

$$\tau_{D12} = 4,99 ps$$

il che significa un ritardo di

$$\underline{t_{D12} = 3,45 ps}$$

Come presupposto, i calcoli eseguiti seguendo la struttura a 'grappolo' ed attraverso la formula di Elmore per il ritardo sono molto simili ai risultati ottenuti delle simulazioni circuitali:

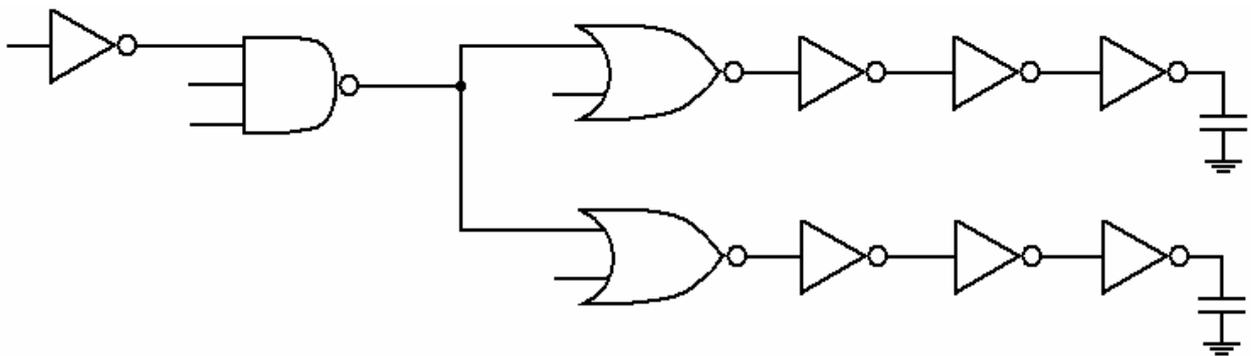
Nodi considerati	Con simulazione [ps]	Con Elmore [ps]
t_{D12}	130	127
t_{D4}	3,5	3,45

4 Logical effort

4.1 Specifiche: circuito n°1

Data una funzione logica esiste un progetto per cui il ritardo totale è minimo, e si dimostra che ciò avviene quando ogni stadio ha ritardo pari a quello di tutti gli altri all'interno della rete. Il seguente esercizio si propone di verificarne l'esattezza di tale teoria.

Il circuito si compone di 4 inverter, una nand a 3 ingressi ed una nor a 2 ingressi:



Dimensionare il size dei transistori affinché il ritardo del sistema sia minimo, mediante le formule del logical effort.

4.2 Soluzione: circuito n°1

Per completezza riportiamo le formule del logical effort, che sono :

$$H = FGB$$

Ove si ha che :

$$G = \prod_{i=1}^N g_i \qquad F = \frac{C_L}{C_{gi}} \qquad B = \prod_{i=1}^N b_i$$

Inoltre :

$$s_i = \left(\frac{g_1 s_1}{g_i} \right) \prod_{j=1}^{i-1} \left(\frac{f_j}{b_j} \right) \qquad h = \sqrt[N]{H} \qquad f_1 g_1 = f_2 g_2 = \dots = f_N g_N$$

Rimane ora il problema di determinare valori noti ed incognite e inserirli nelle formule precedenti per ricavare i fattori di forma relativi all'inverter (s_j).

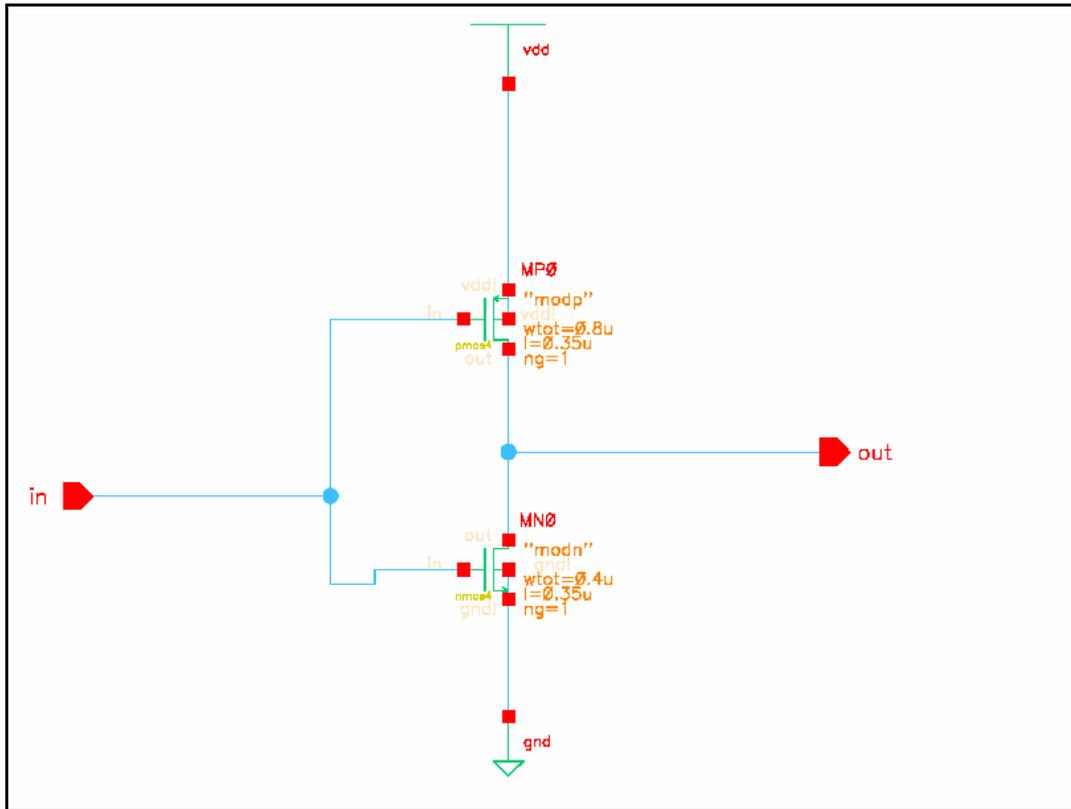
Seguendo l'ordine in cui sono state scritte le precedenti equazioni, si ha che G (logical effort) vale $1 \cdot \frac{5}{3} \cdot \frac{5}{3} \cdot 1 \cdot 1 \cdot 1 = \frac{25}{9}$. N vale 6, poiché tanti sono gli stadi in cascata. B è 2 poiché si ha un'unica diramazione con 2 cammini. Invece per calcolare l'electrical effort (F), si può utilizzare semplicemente il fatto che nel circuito la capacità di carico è già stata espressa in funzione del rapporto indicato nella formula, ovvero C_L/C_{gi} , ed è pari a 500 (adimensionato). Nella simulazione però sarà necessario inserire un valore di C_L che rispetti il rapporto di 500 con la capacità di ingresso. Quest'ultima si può calcolare sapendo che $C_{OX}=4,54$ fF/ μm^2 e che l'area equivalente all'ingresso del MOSFET è pari a $0,42 \mu\text{m}^2$ (calcolato come somma di $W \cdot L_{pMOS}$ e $W \cdot L_{nMOS}$) ; otteniamo una capacità di gate pari a 1,90 fF ed una di carico pari a 1 pF. Si ricava h pari a 3,75 .

Infine si ricavano i rapporti di dimensione tra i MOS , che sono :

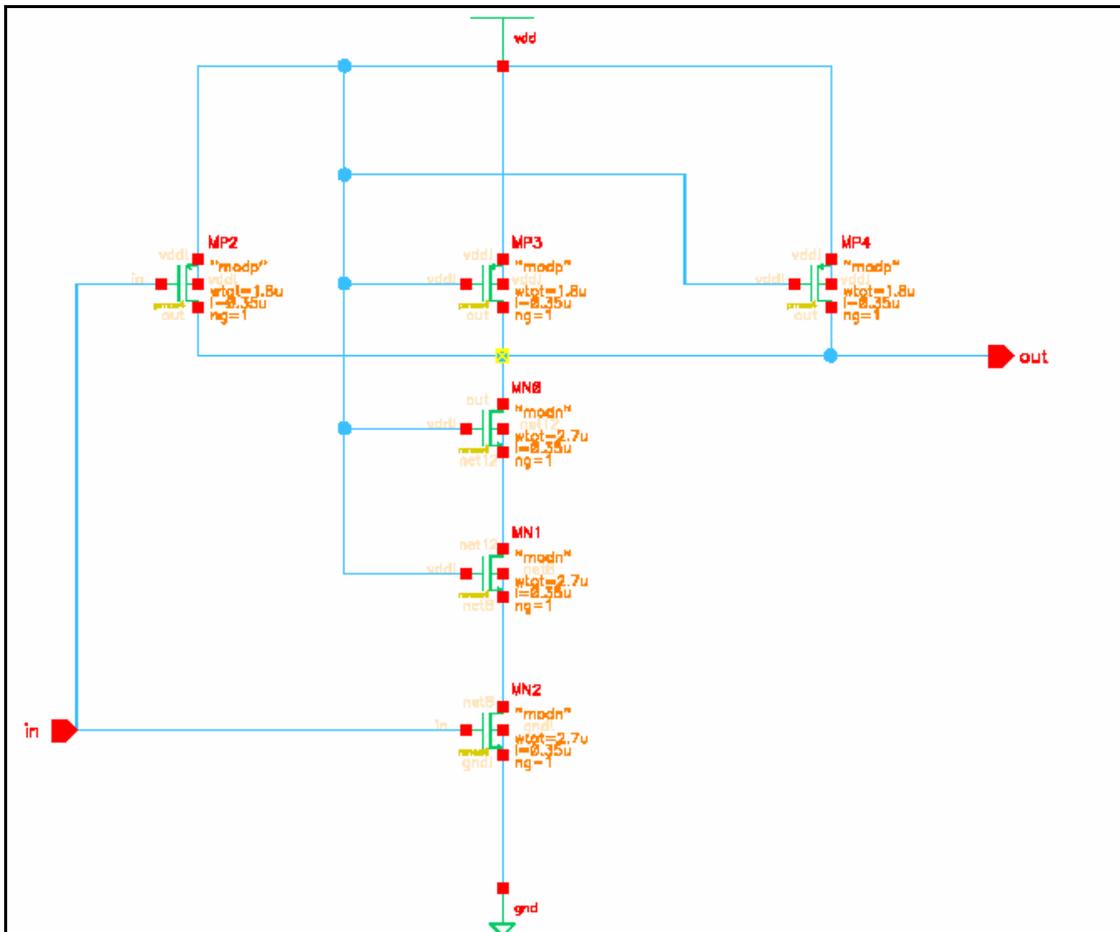
S ₁	S ₂	S ₃	S ₄	S ₅	S ₆
1	2,25	2,53	9,49	35,60	133,48

I valori ricavati indicano il valore di W per il transistore nMOS relativo all'invertitore minimo. Se si ha una porta con funzione logica differente tale rapporto andrà poi moltiplicato per il valore relativo della porta considerata.

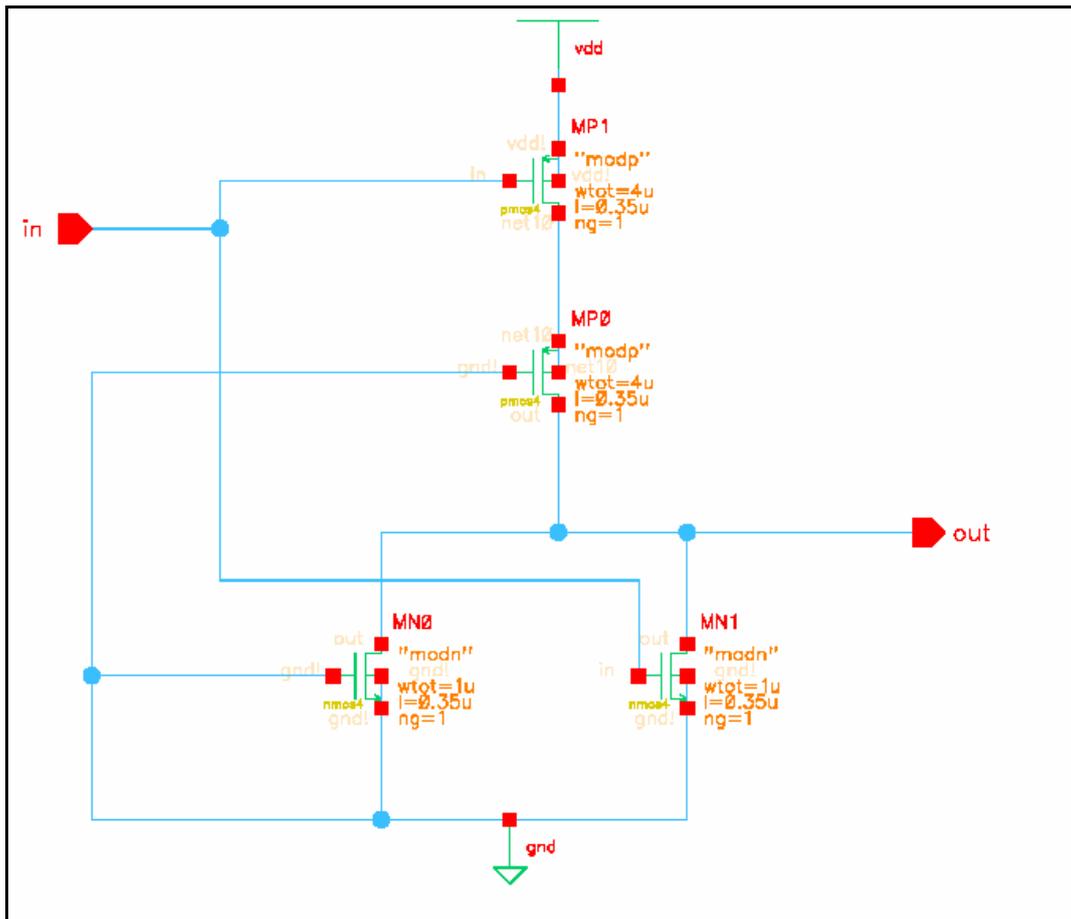
Il primo inverter del circuito non presenta particolari accorgimenti :



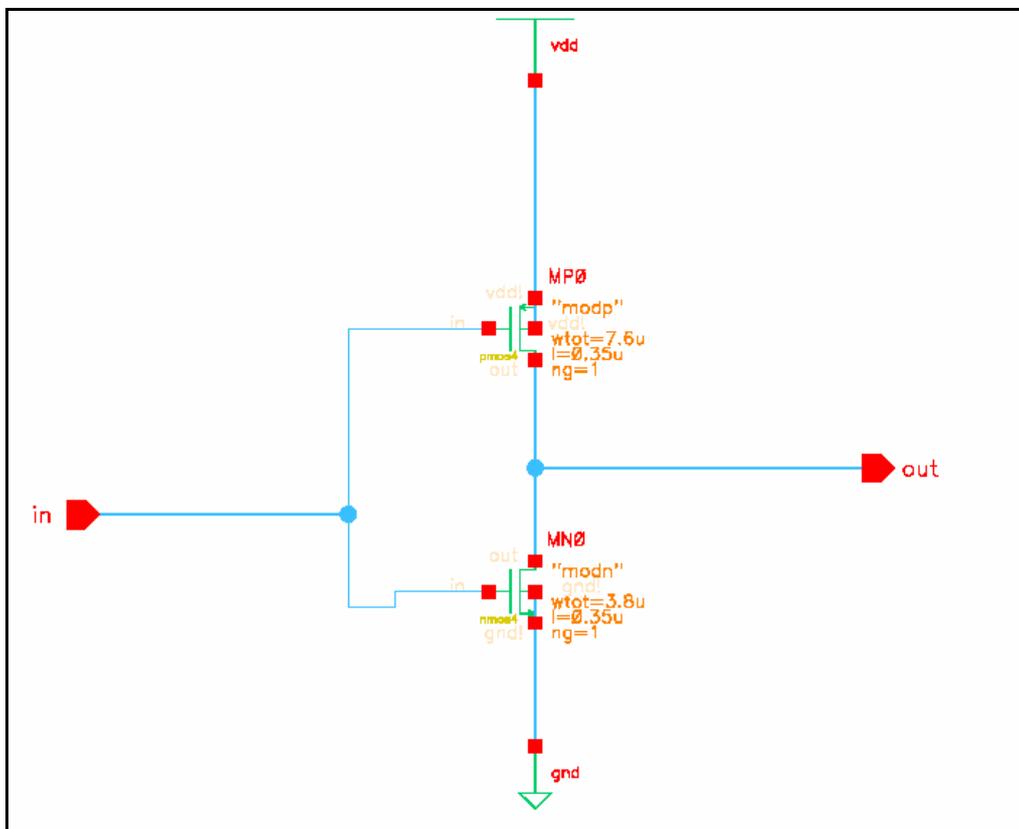
Mentre la NAND è stata progettata rispettando i valori del logical effort :



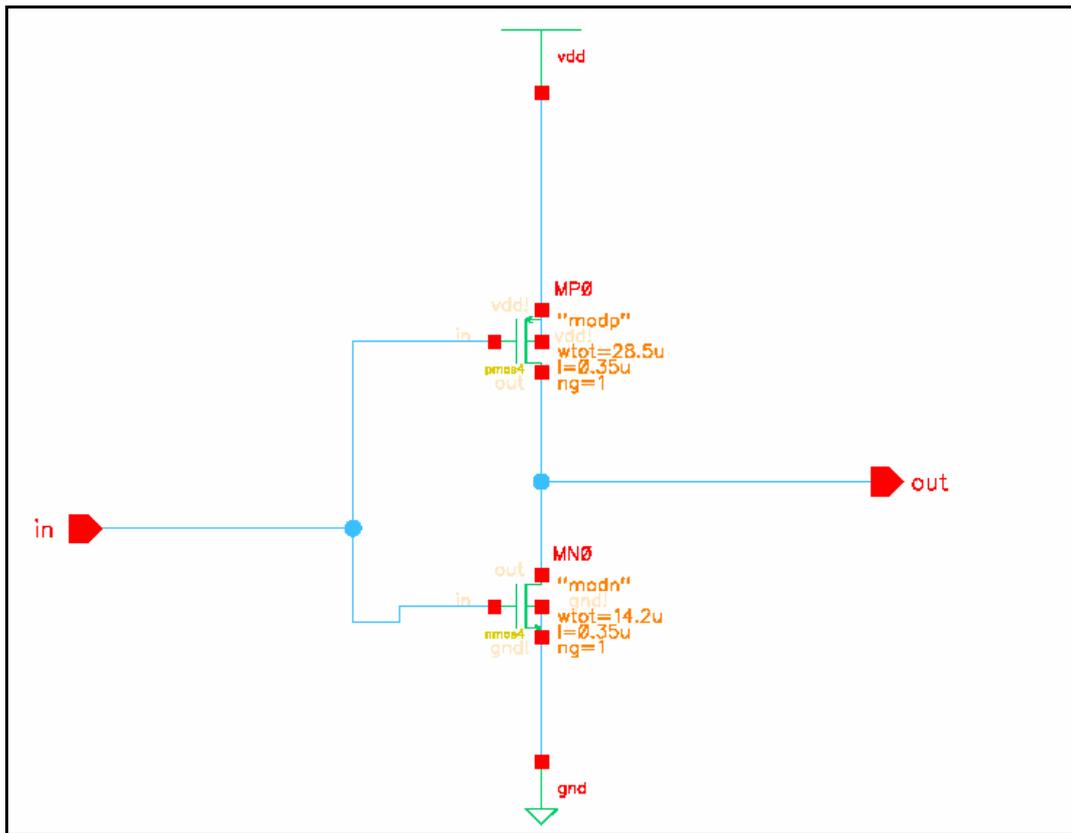
Di seguito vi è la diramazione del circuito, con due parti simmetriche di cui la NOR è:



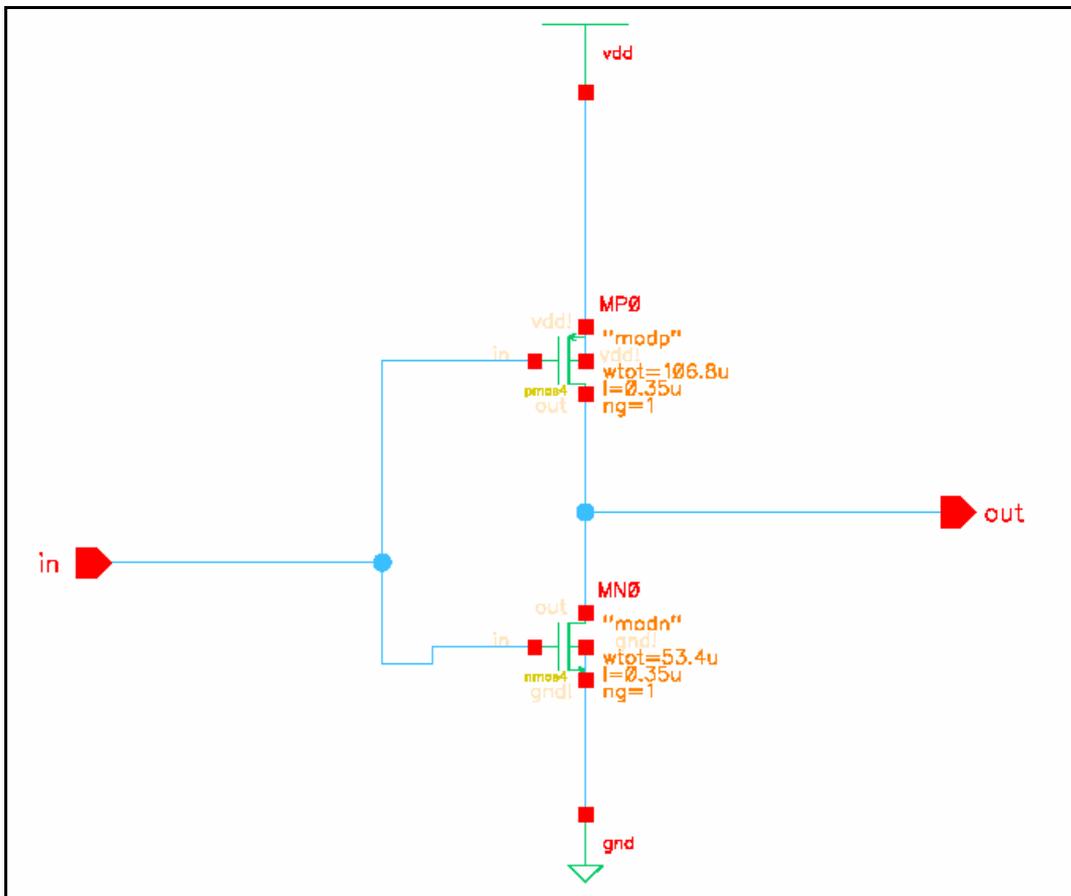
Invece gli invertitori seguenti hanno rapporti via via maggiori. Questo è il primo :



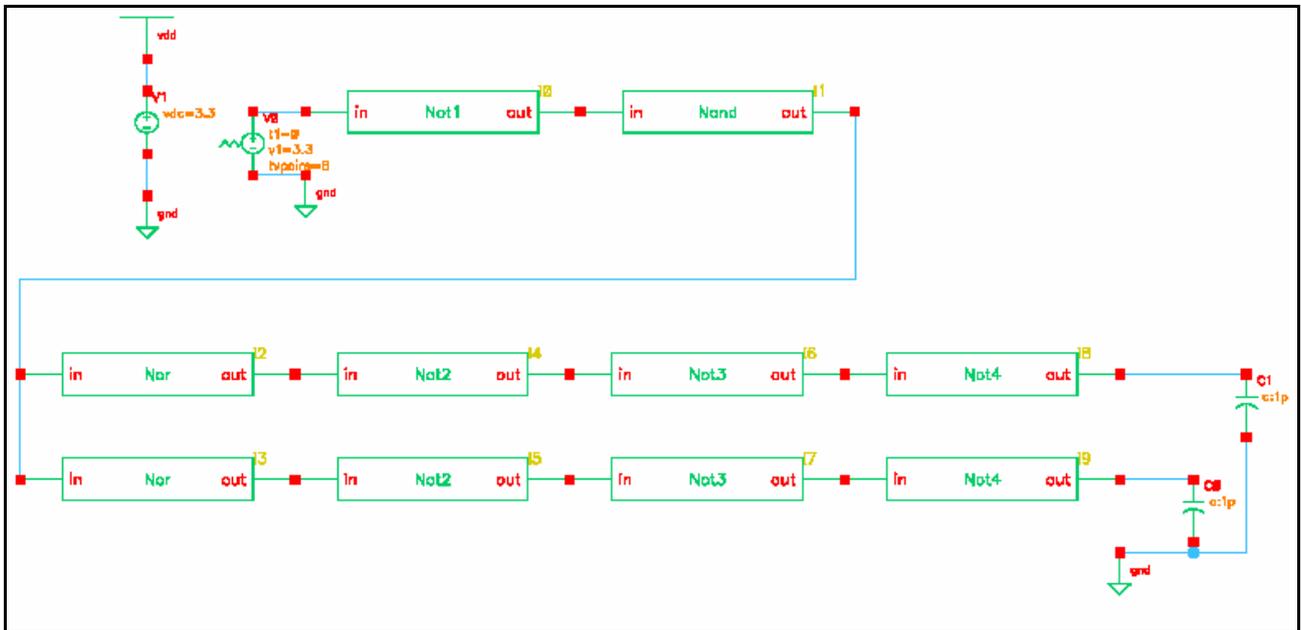
Il secondo :



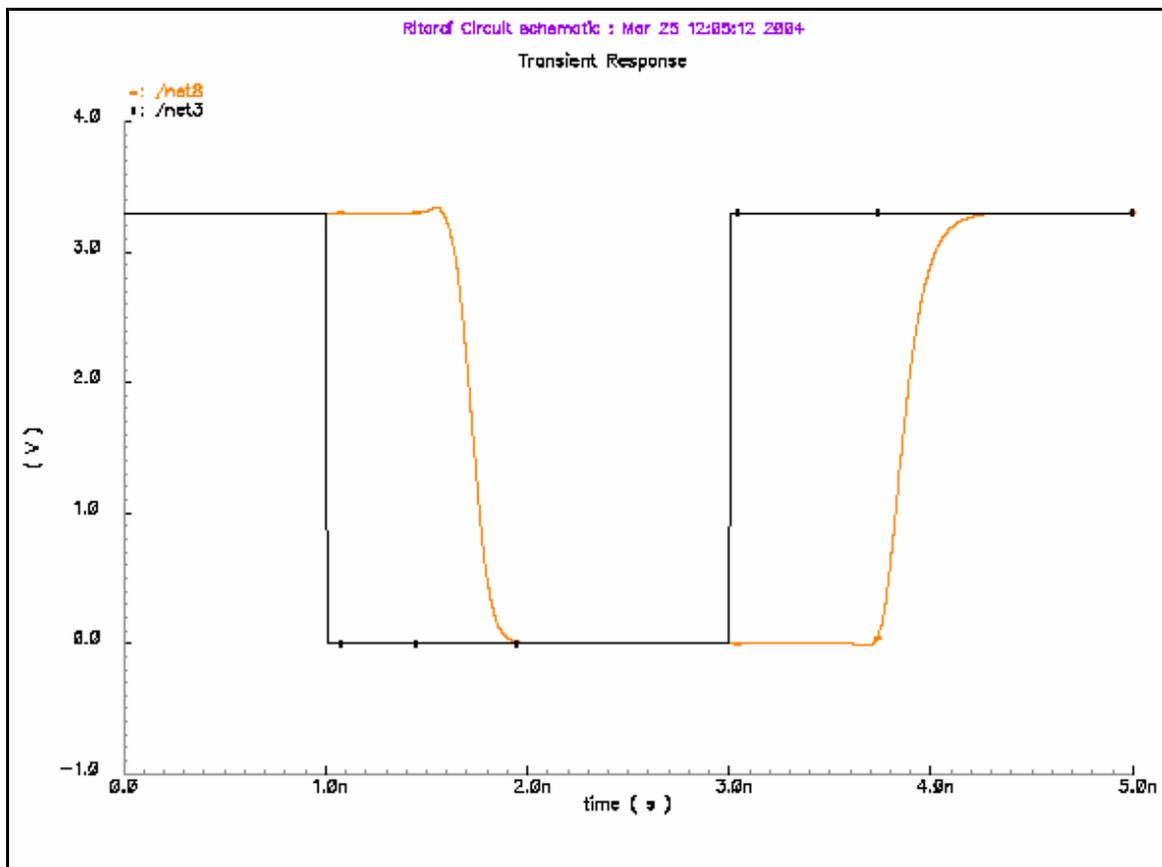
E l'ultimo inverter è :



Il circuito simulato mediante Cadence® è il seguente, dove i singoli componenti sono stati realizzati in blocchi separati e seguendo i rapporti calcolati con le formule precedenti. Si può inoltre notare la capacità di carico da 1 pF, come precedentemente osservato.



La simulazione con un'onda quadra all'ingresso di durata 1 ns e tempo di commutazione di 10 ps ha dato come risultato la curva seguente :



I tempi di commutazione della porta da noi simulata sono di 728 ps per quanto riguarda il fall time, e 866 ns il rise time. Il fatto che il rise time è peggiore del fall time è spiegabile ricordando la minore idealità dei pMOS, in quanto conducono peggio degli nMOS; inoltre abbiamo fatto tutti i calcoli utilizzando un rapporto $\frac{\mu_e}{\mu_h}$ di 2, che è arrotondato per difetto rispetto al valore reale .

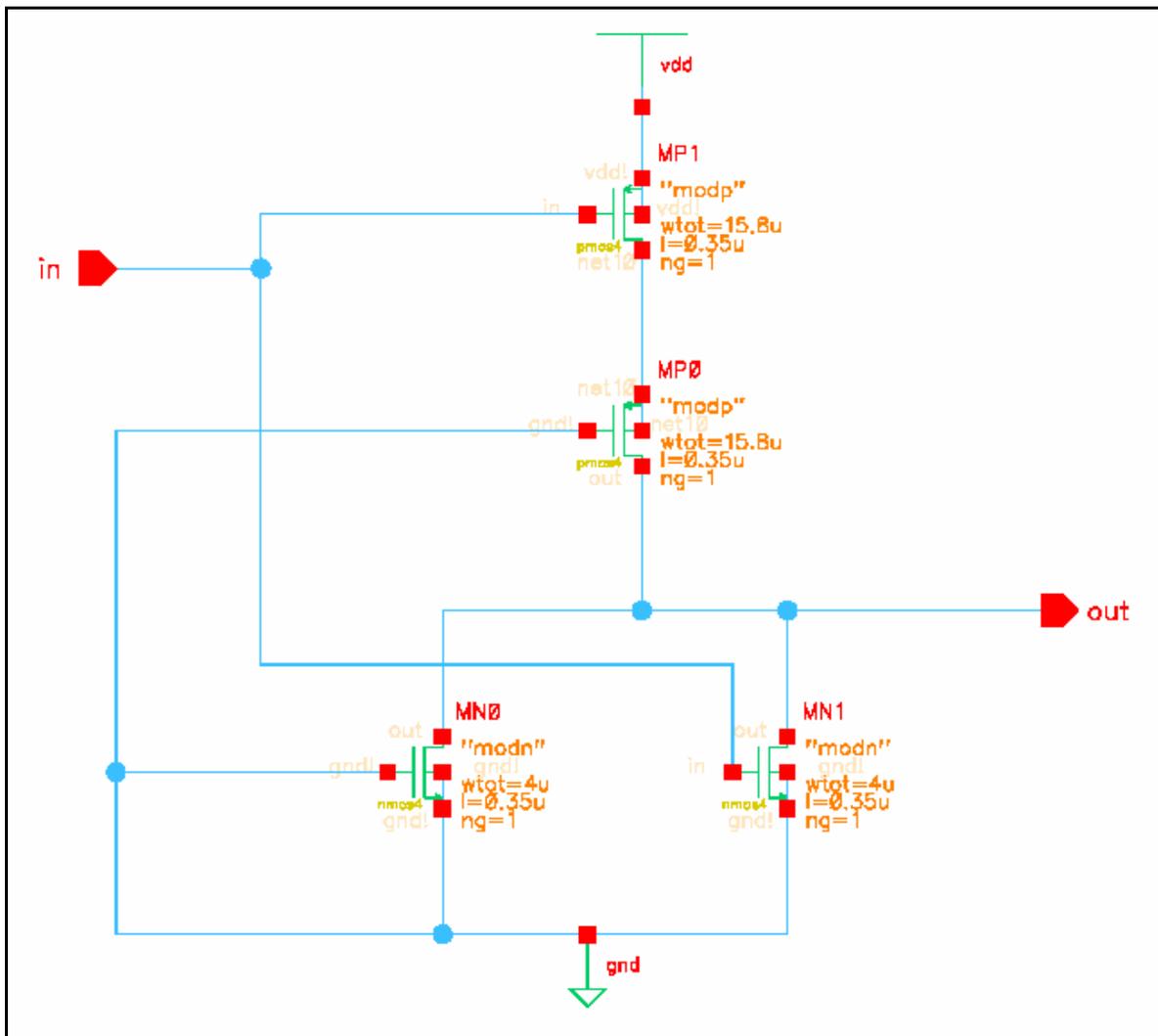
4.3 Verifica teorica del comportamento circuitale

Per verificare se effettivamente il circuito che abbiamo progettato ha ritardo di propagazione minimo si può provare a variare alcuni dei rapporti di sizing dei MOS, e vedere se il ritardo peggiora o meno. Se il circuito è stato ben progettato, si avrà che i tempi di commutazione saliranno. Inoltre con tale metodo si può verificare se il valor minimo della funzione che ottimizza il delay è un minimo piatto oppure ripido; con ciò intendiamo che ad una variazione di uno dei parametri che caratterizza la funzione del minimum delay può essere associata una variazione sia piccola che grande. Nel caso la variazione sia impercettibile, esso è un minimo piatto. Se il delay “esplode” è un minimo ripido. Può anche capitare che variando uno di questi parametri il delay diminuisca; in tal caso ci renderemo conto di NON essere ad un minimo della funzione.

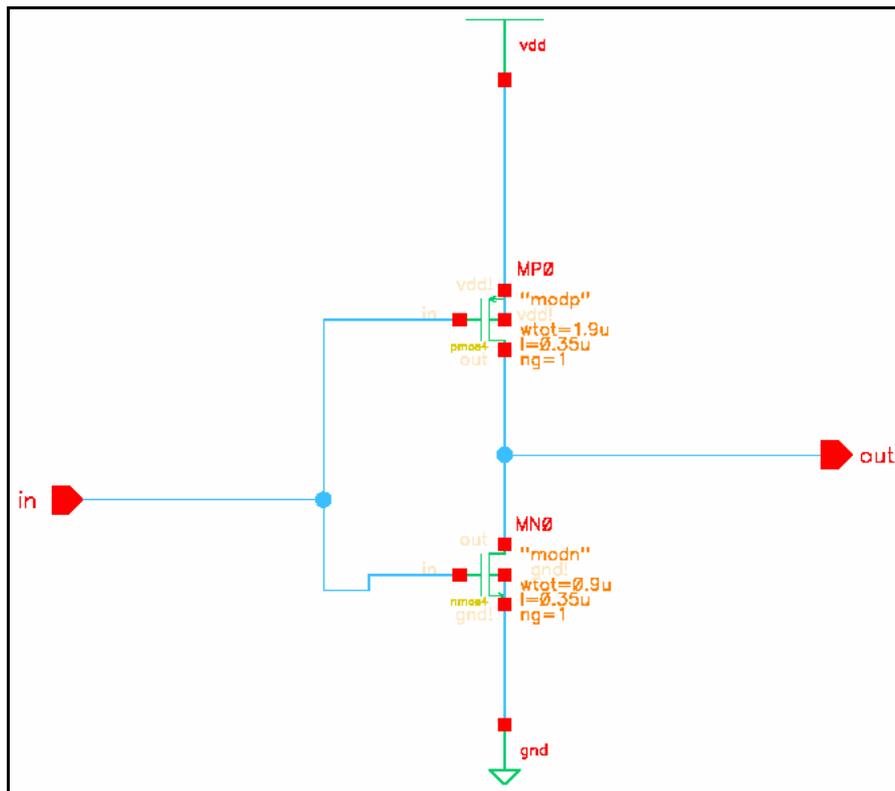
La trattazione di questo aspetto è però complicata e necessiterebbe di strumenti matematici avanzati, poiché si tratta di una equazione a 6 - 7 variabili; per semplicità ci atterremo alle osservazioni derivanti dalle precedenti affermazioni.

4.4 Verifica pratica del comportamento circuitale

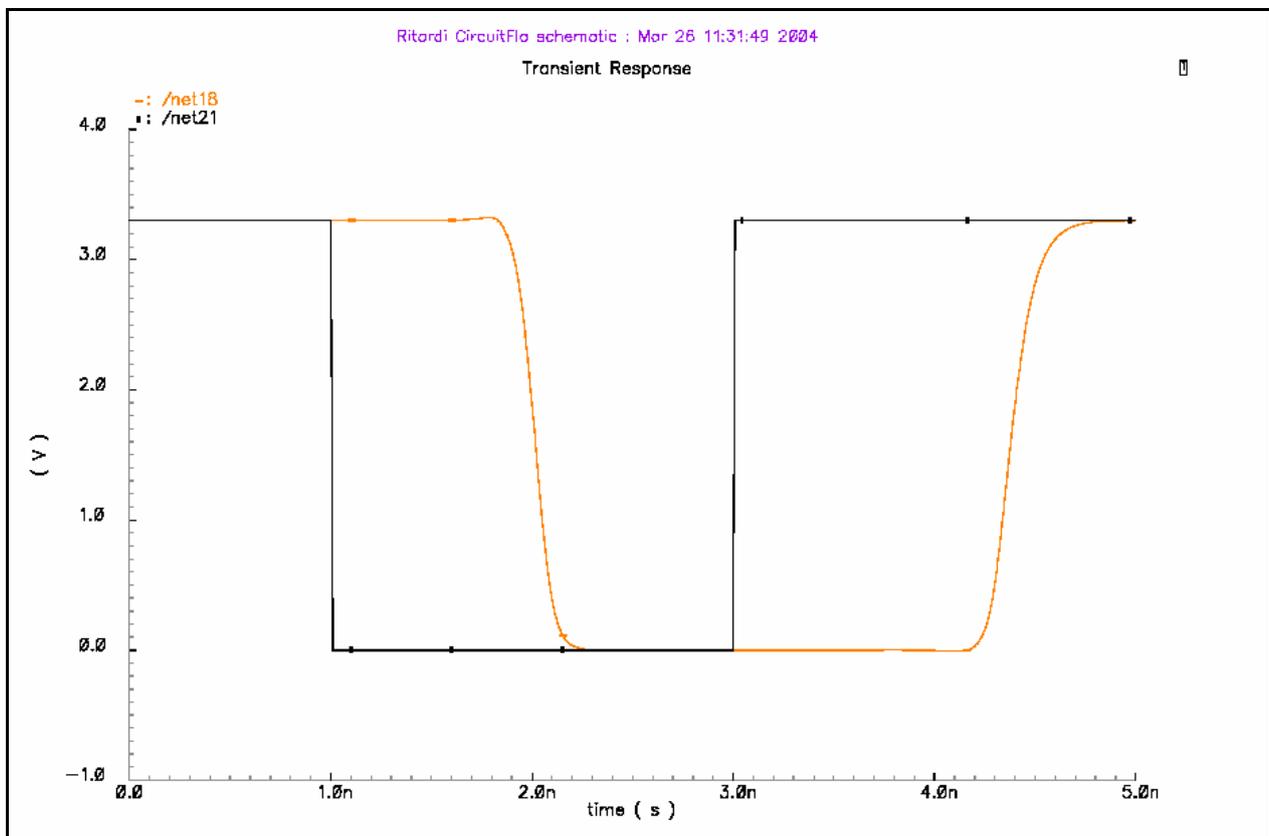
Dalle espressioni nel punto precedente ricaviamo che per verificare l'esattezza del circuito da noi progettato possiamo provare a cambiare alcuni rapporti di forma di alcune porte del circuito precedente. Per esempio abbiamo variato il size della NOR moltiplicandolo per 4 :



e quello della NOR ad essa seguente dividendolo per 4 :



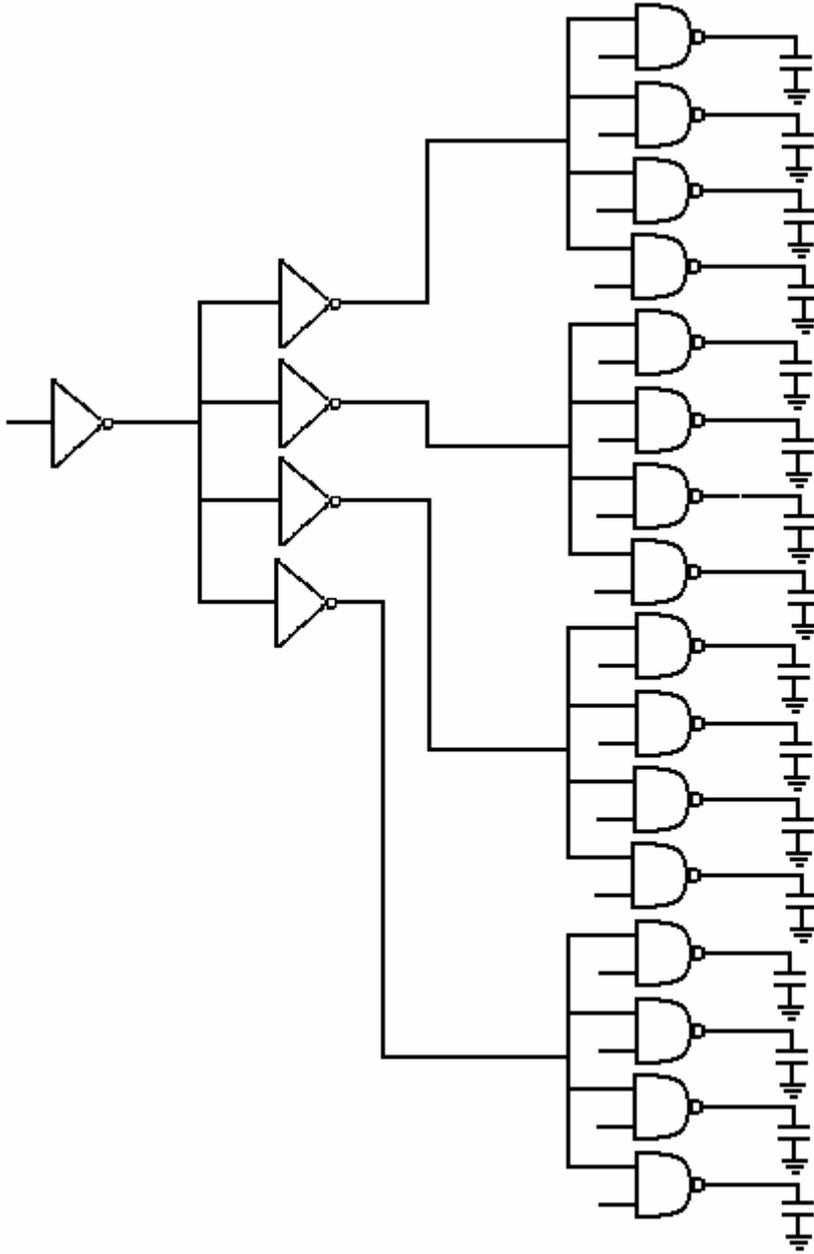
La simulazione è risultata essere :



I tempi ricavati sono : $t_{\text{rise}} = 1,378 \text{ ns}$ e $t_{\text{fall}} = 1,005 \text{ ns}$, a parziale verifica della correttezza del progetto.

4.5 Specifiche: circuito n°2

Simuliamo il comportamento di una porta così composta :



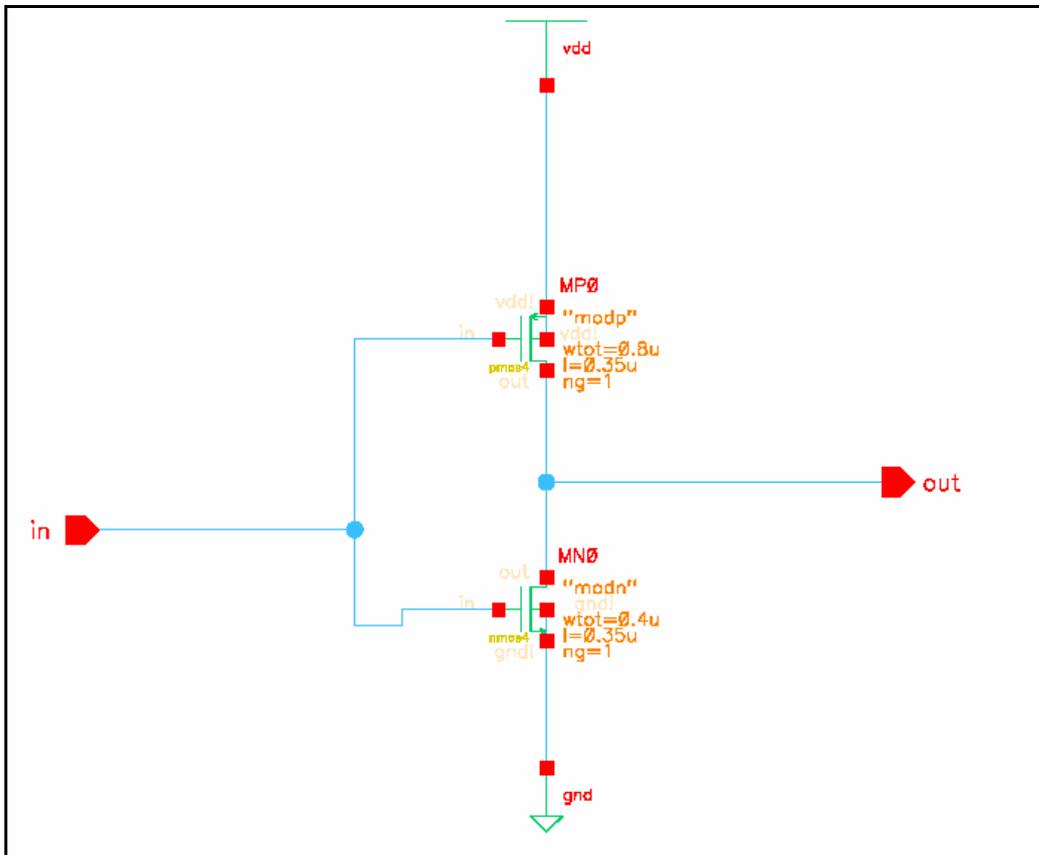
con C_L/C_{IN} pari a 64.

In questo caso i valori calcolati di size dei MOS valgono :

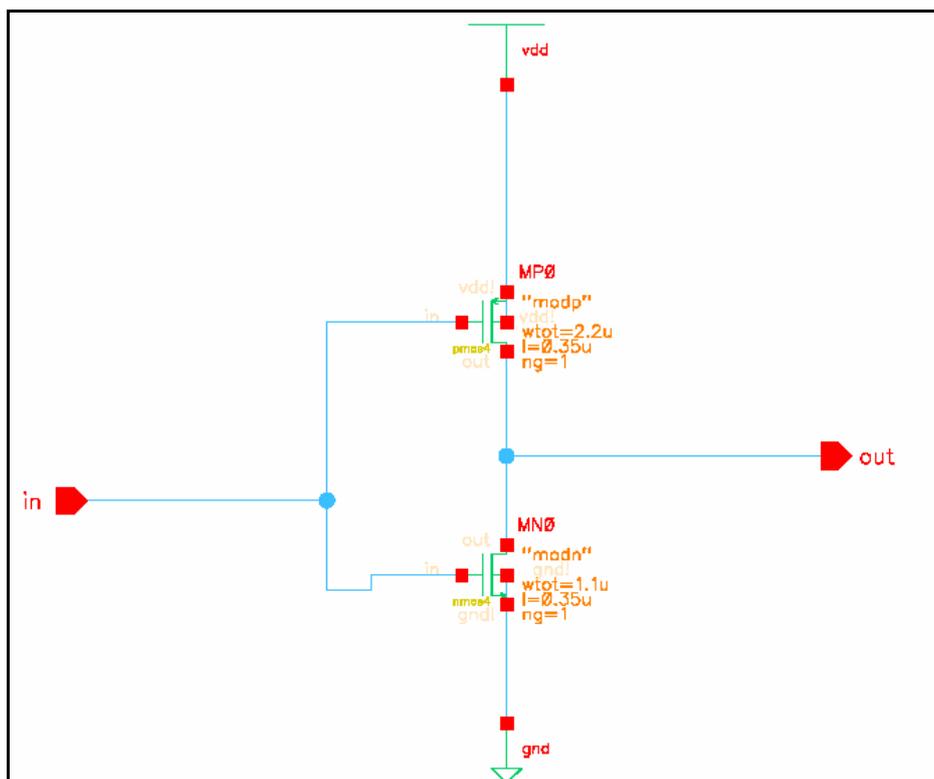
S_1	S_2	S_3
1	2,77	5,77

4.6 Soluzione: circuito n°2

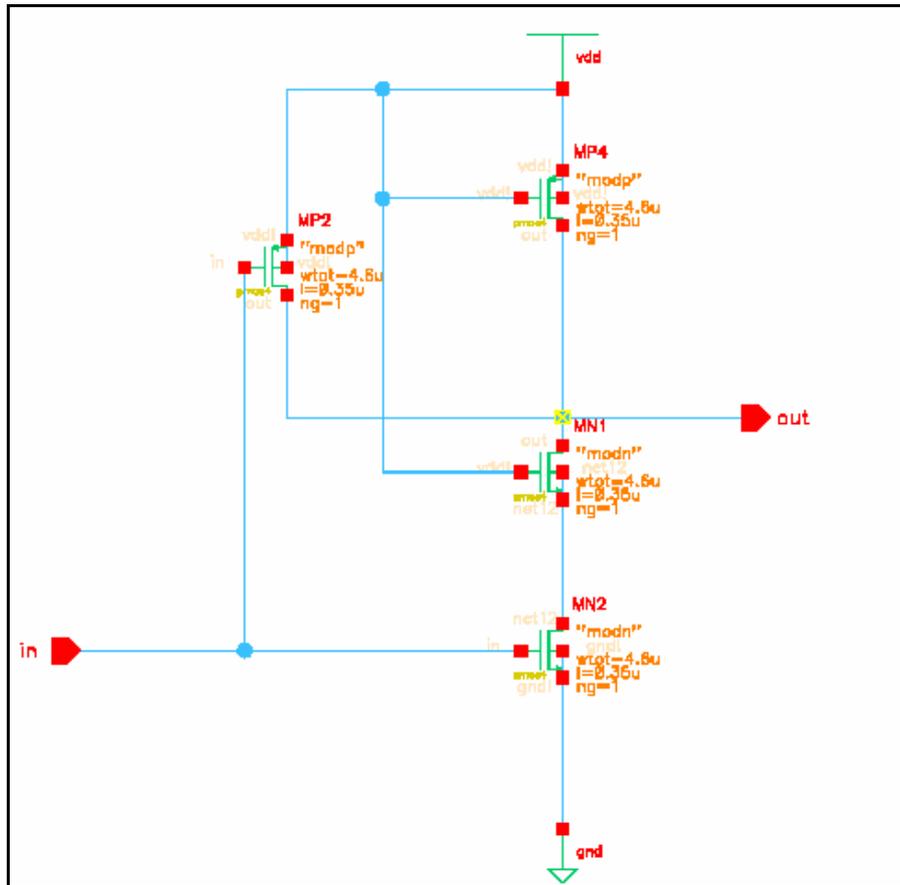
Nuovamente la porta NOT del primo stadio non comporta particolari soluzioni :



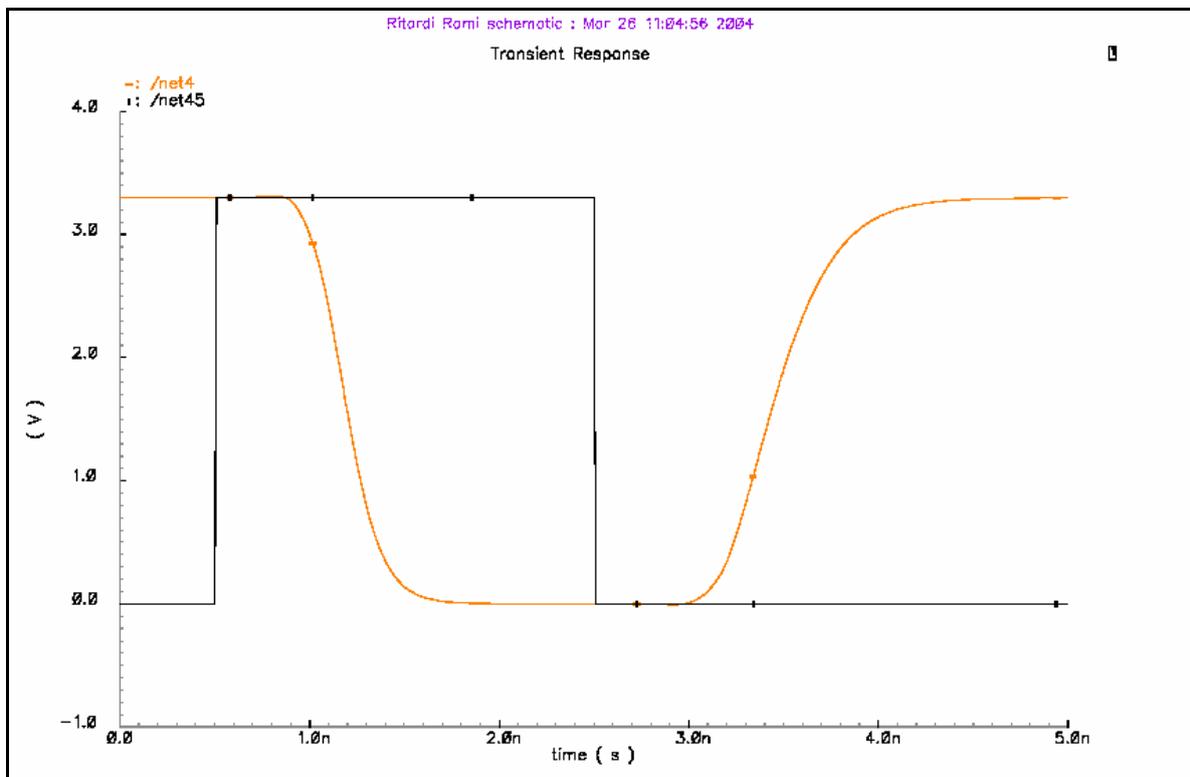
Mentre la porta NOT successiva presenta la seguente topologia :



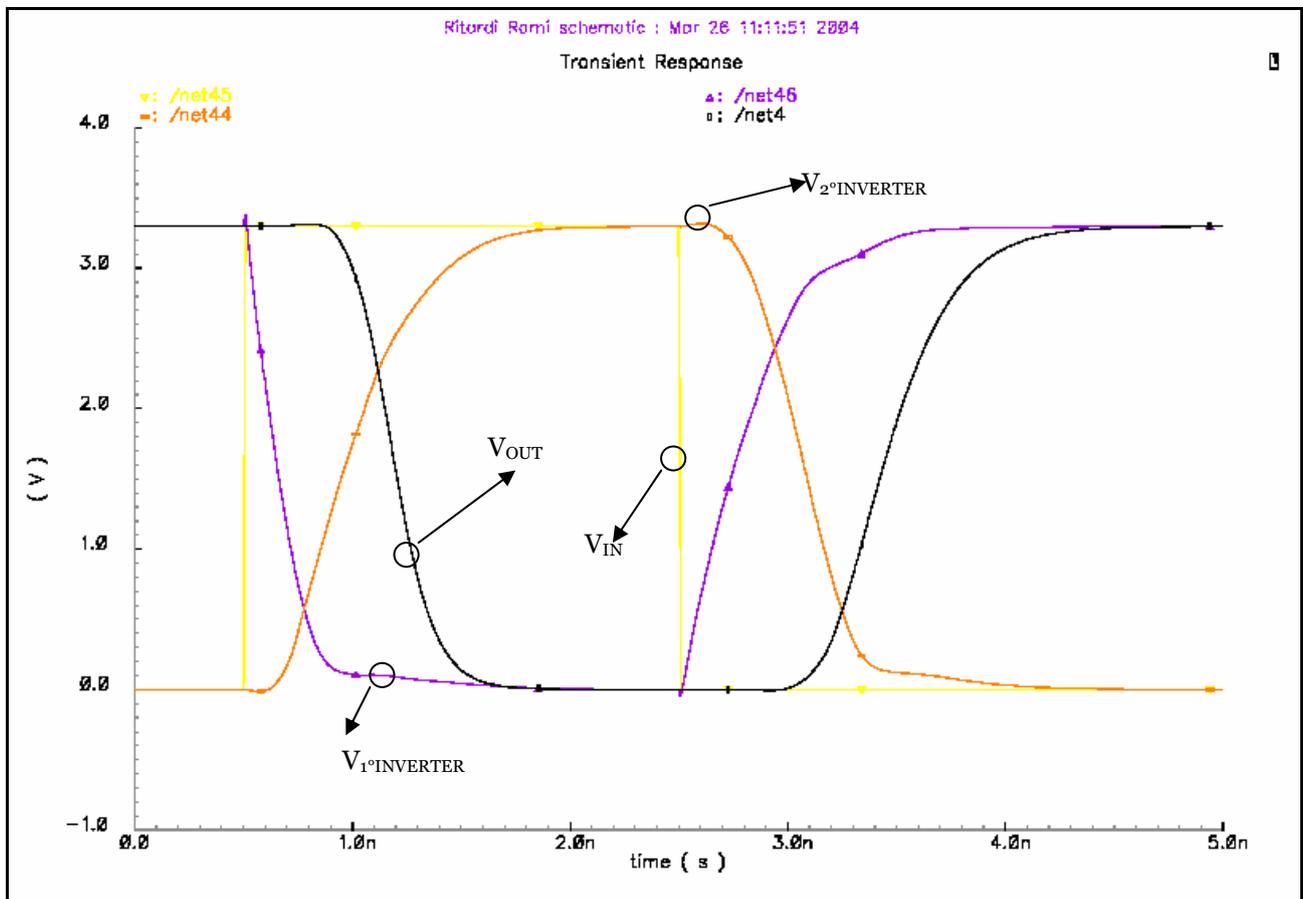
Infine la porta NAND, con le porte non interessate dal segnale di ingresso connesse a Vdd, affinché la funzione logica sia in commutazione per ogni valore d'ingresso :



I ritardi ottenuti mediante simulazione sono mostrati in figura :



Il seguente risultato di simulazione mostra invece alcuni aspetti interessanti della commutazione:



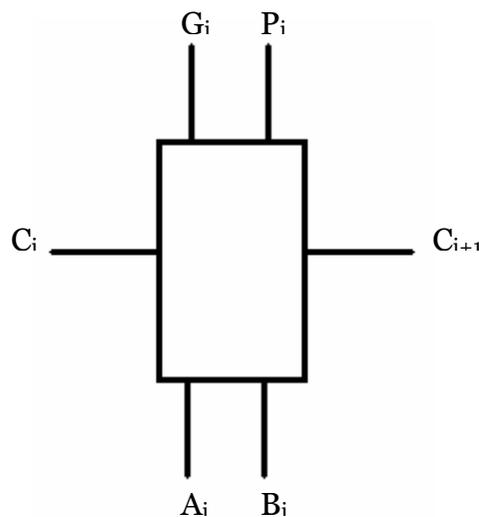
Le 4 curve sono, in base al ritardo reciproco, il segnale di ingresso (giallo), poi il segnale dopo il primo inverter, quello dopo il secondo ed infine quello all'uscita dalla nand.

5 Dynamic CMOS Design

5.1 Specifiche

In questo esercizio si vuole simulare il comportamento di una porta logica a precarica (esistono anche a prescarica) ove vi sia una temporizzazione (clock) e se ne vogliono verificare i problemi circuitali; essi nascono dal fatto che si utilizza un solo PMOS per la precarica della porta a valle, mentre la funzione logica viene realizzata da soli NMOS.

La funzione logica da realizzare è la sola parte di predizione del carry di un particolare circuito sommatore, ovvero il full adder. In tale realizzazione, onde velocizzare il funzionamento, viene generato il carry look-ahead, ovvero una parte apposita del circuito esamina gli ingressi al fine di predire il carry. In tale esercizio si suppone di avere un sommatore a 4 bit e se ne vuole generare il carry a partire dal seguente blocco :



Ove:

A_i , B_i e C_i sono gli ingressi, mentre

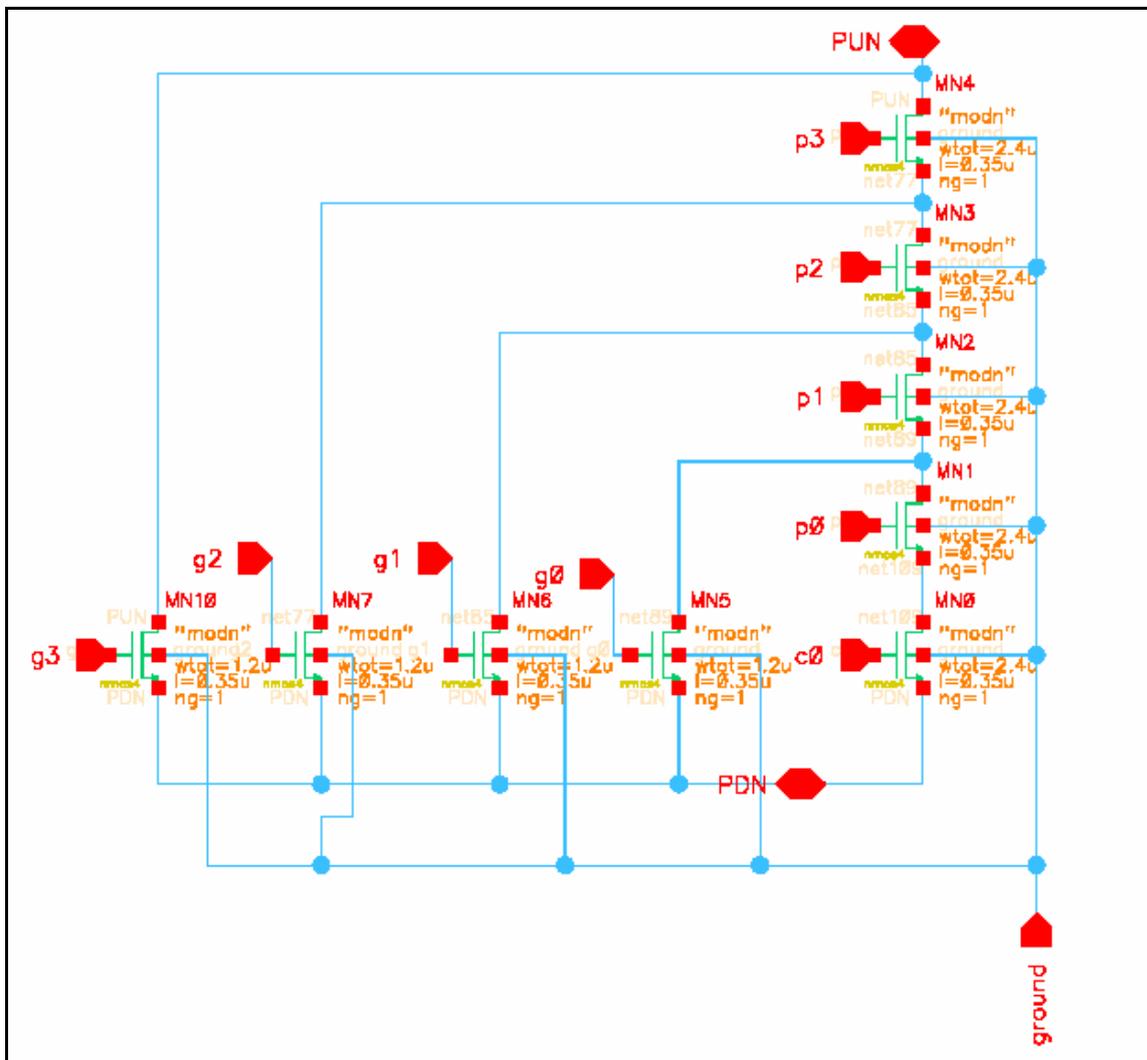
$$G_i = A_i \text{ and } B_i \quad P_i = A_i \text{ or } B_i \quad C_{i+1} = (C_i \text{ and } P_i) \text{ or } G_i$$

Da semplici osservazioni circuitali si ottiene che per un sommatore a 4 bit, il carry dell'ultimo stadio si ottiene da :

$$C_4 = G_3 + P_3 \cdot (G_2 + P_2 \cdot (G_1 + P_1 \cdot (G_0 + C_0 \cdot P_0)))$$

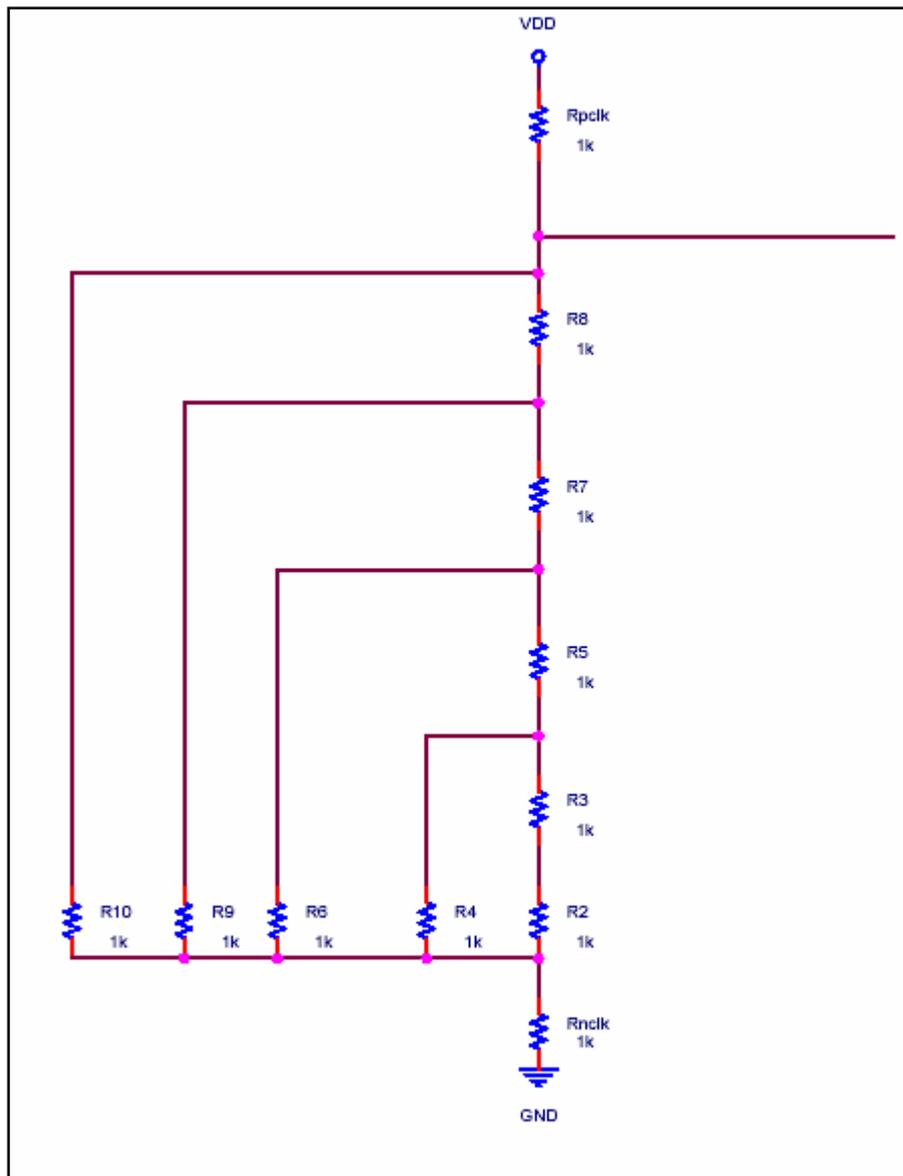
5.2 Soluzione

Circuitalmente risulta che la parte combinatoria del blocco in esame è composta da soli PMOS con disposizione in figura seguente :



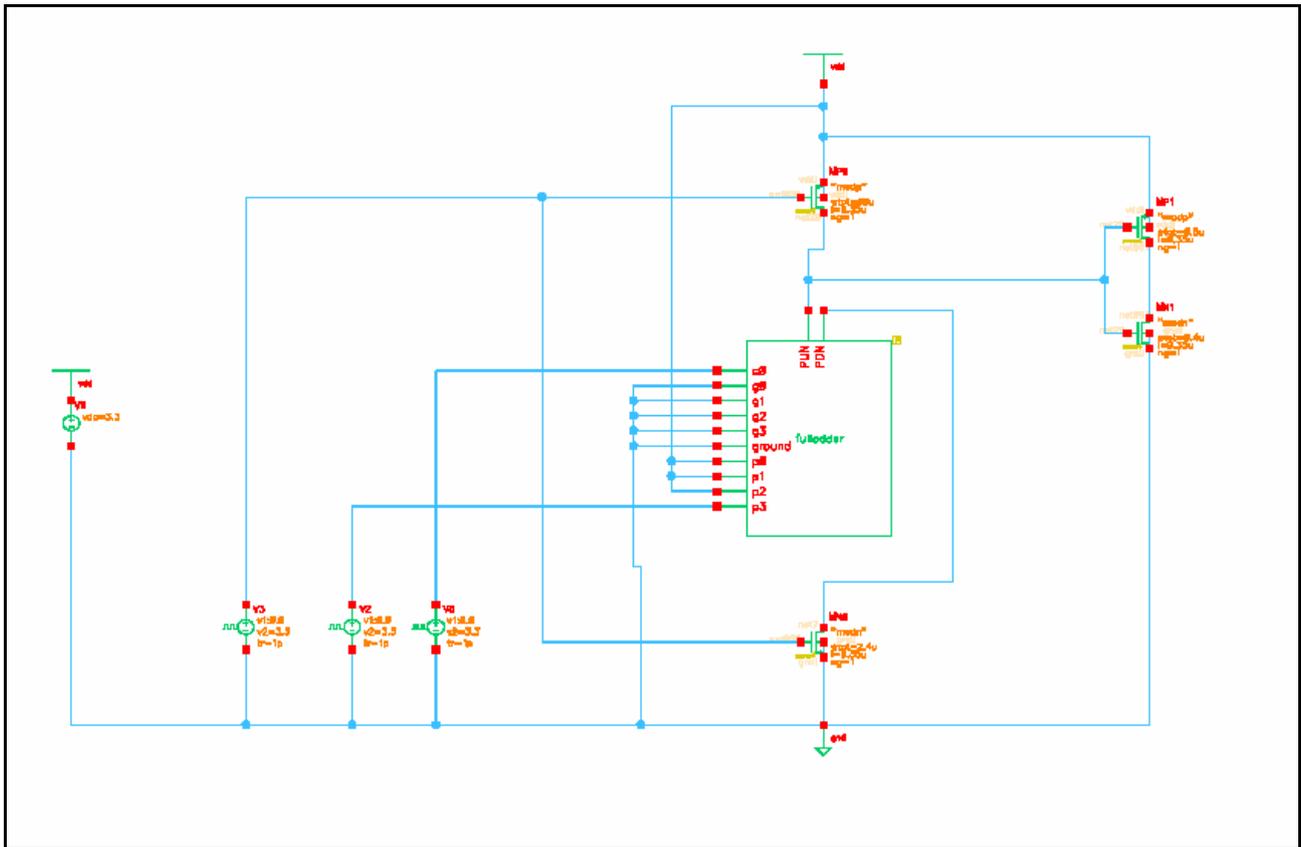
Le dimensioni di forma dei transistori derivano da considerazioni di tipo temporale, ovvero per avere il ritardo minimo abbiamo cercato di ricondurre il circuito ad un inverter, poiché il ritardo è minimo quando gli stadi sono dimensionati in modo relativo all'inverter.

Il circuito necessario allo studio delle dimensioni di forma dei transistori è il seguente, ove al posto dei MOS si sono inserite resistenze che ne rappresentano il modello circuitale :



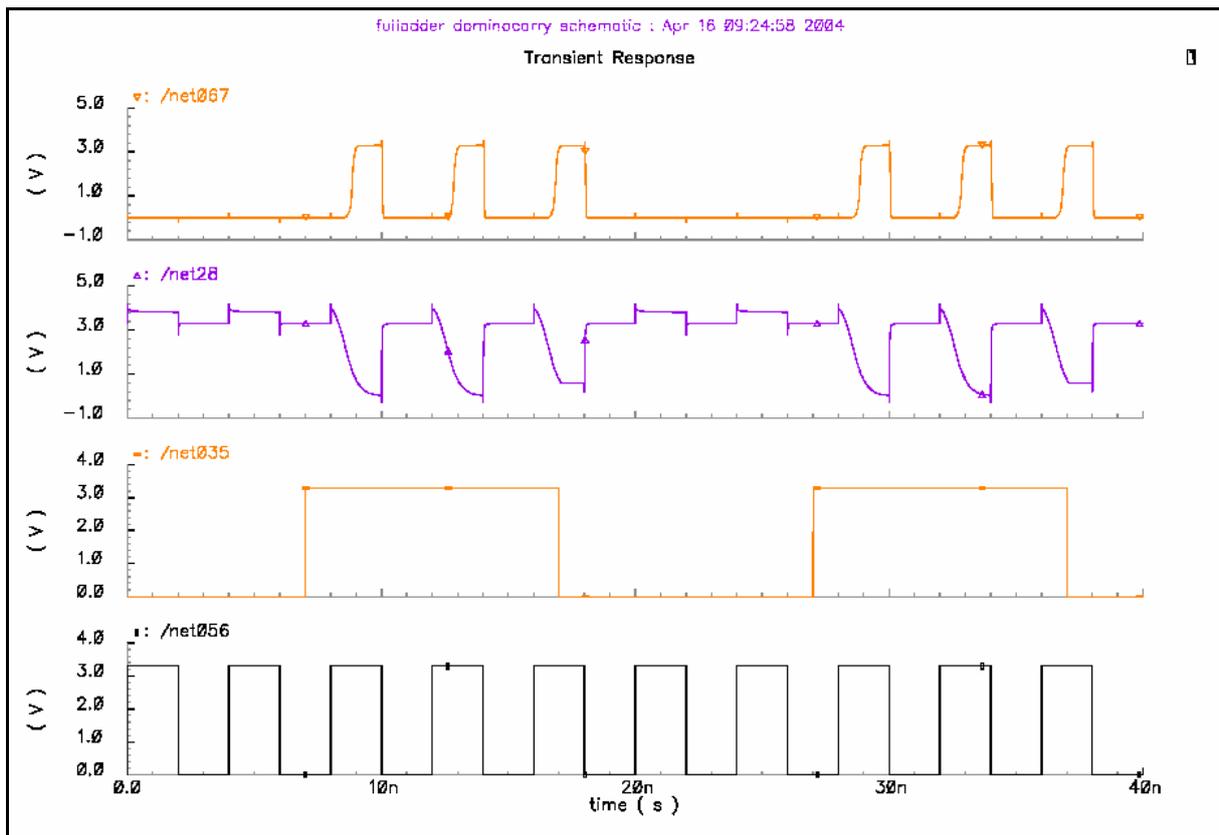
In tale circuito si sono dimensionati i transistori in modo tale da avere le resistenze equivalenti in serie pari ad $R/2$, e quelle in parallelo pari ad R , ovvero scegliendo i transistori in serie di dimensione doppia. I valori vengono poi raddoppiati tutti poiché vi è il MOS di clock. Infine si ha che i MOS in serie hanno rapporto di forma $1,6 / 0,35 \mu\text{m}$ mentre quelli in parallelo hanno rapporto pari a $0,8 / 0,35 \mu\text{m}$, contrariamente a quanto riportato nella figura di pag 43. Le simulazioni sono state eseguite, ove non indicato diversamente, con i valori qui calcolati e non con quelli in figura.

Da tale schema si è poi generato un blocco (chiamato fulladder) inserito nella seguente figura :

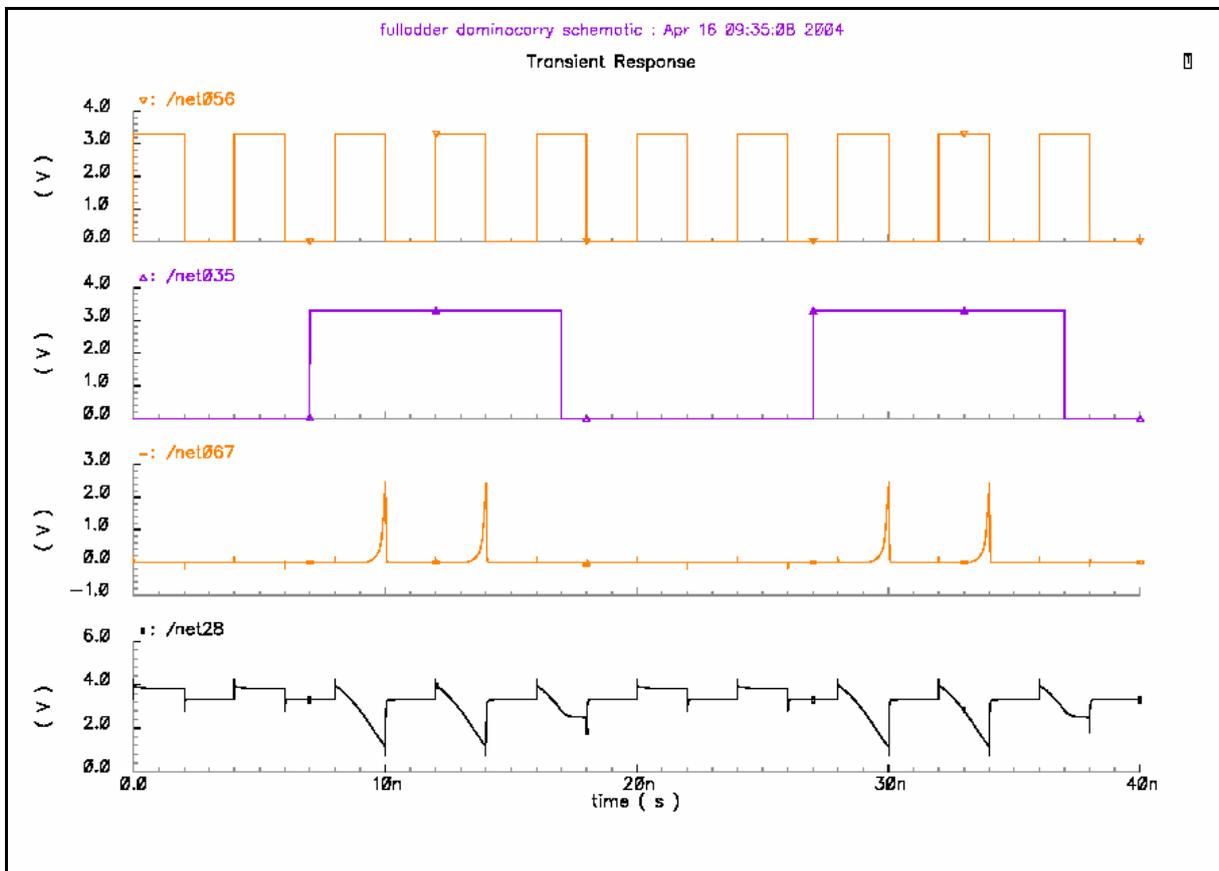


Per avere commutazioni in uscita gli ingressi sono stati collegati a Vdd i MOS in serie ed a GND i mos in parallelo. Si è deciso poi di applicare un segnale variabile agli ingressi P_3 e C_0 , ritenuti critici data la loro vicinanza circuitale all'uscita. Tale criticità sfocia nel fenomeno chiamato charge sharing, ovvero condivisione della carica, ed esso interviene durante la precarica andando ad abbassare il livello di carica nel condensatore precaricato, che è la capacità d'ingresso dell'inverter finale nel circuito da noi simulato.

Da una prima simulazione con un clock avente duty cycle del 50 % e variando il solo ingresso P_3 si ottiene un'uscita (net 28) con scarica piuttosto lenta, dovuta al fatto che si sono scelti NMOS minimi. All'uscita dell'inverter (net 067) i livelli sono correttamente interpretati. Inoltre si può notare il fenomeno del clock feedthrough, ovvero quando il nodo 28 è a livello alto e non si ha commutazione dovuta agli ingressi, le capacità parassite tra gate e drain degli NMOS fanno momentaneamente passare una carica che va ad innalzare la tensione all'uscita.

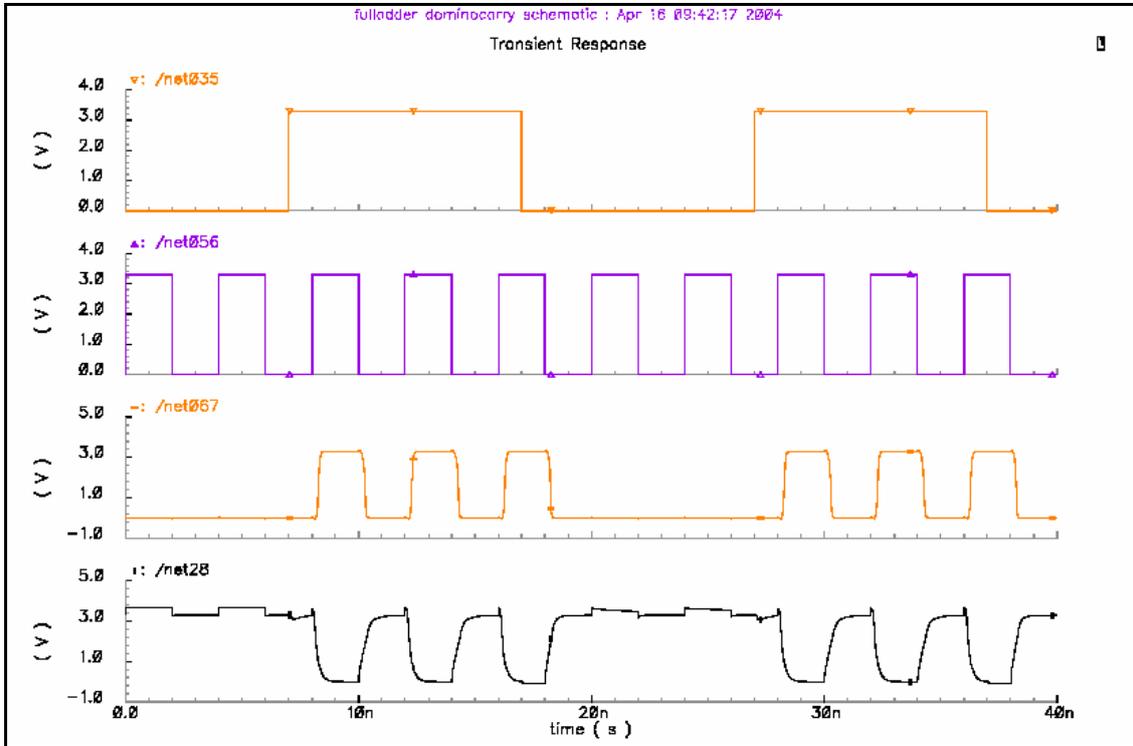


Mentre con NMOS tutti di minime dimensioni si ottiene :

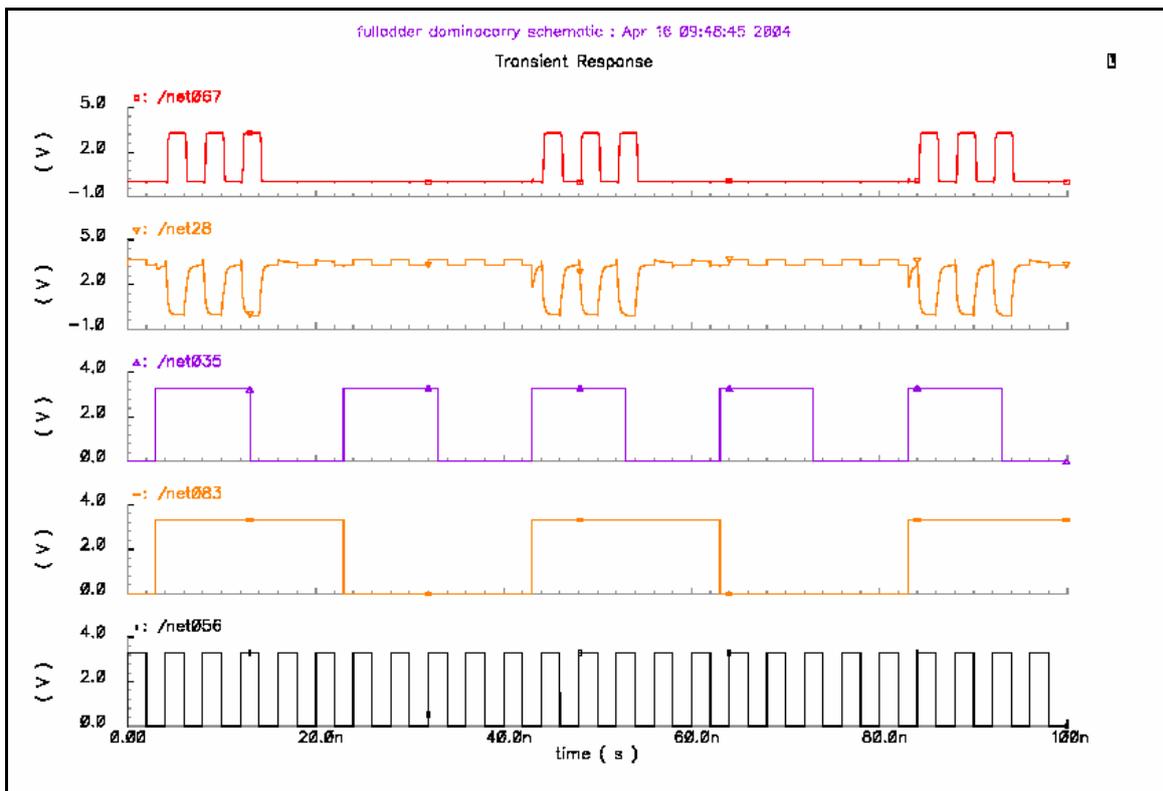


Questa seconda simulazione dimostra che in tale configurazione il circuito non interpreta correttamente i livelli.

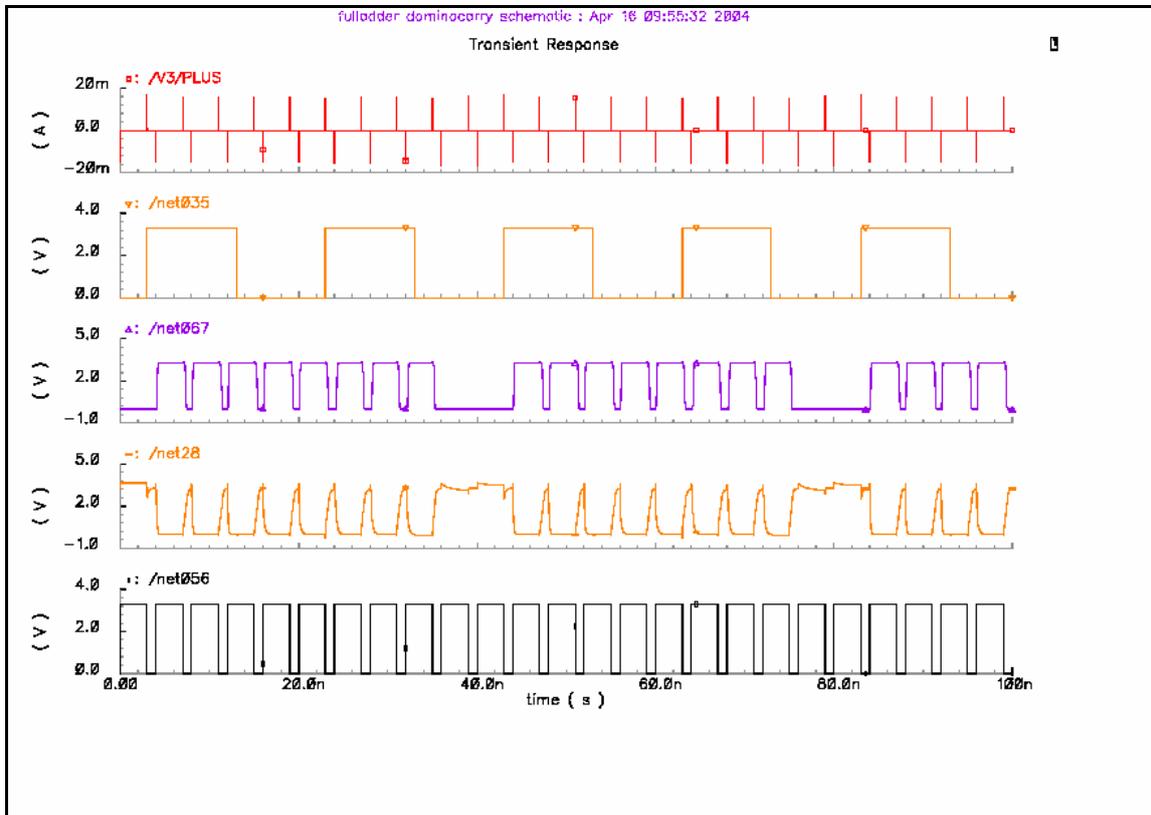
Nella seguente figura si nota che se utilizziamo un PMOS minimo per precaricare, tale fase sarà più lenta rispetto al circuito ove esso è più grande.



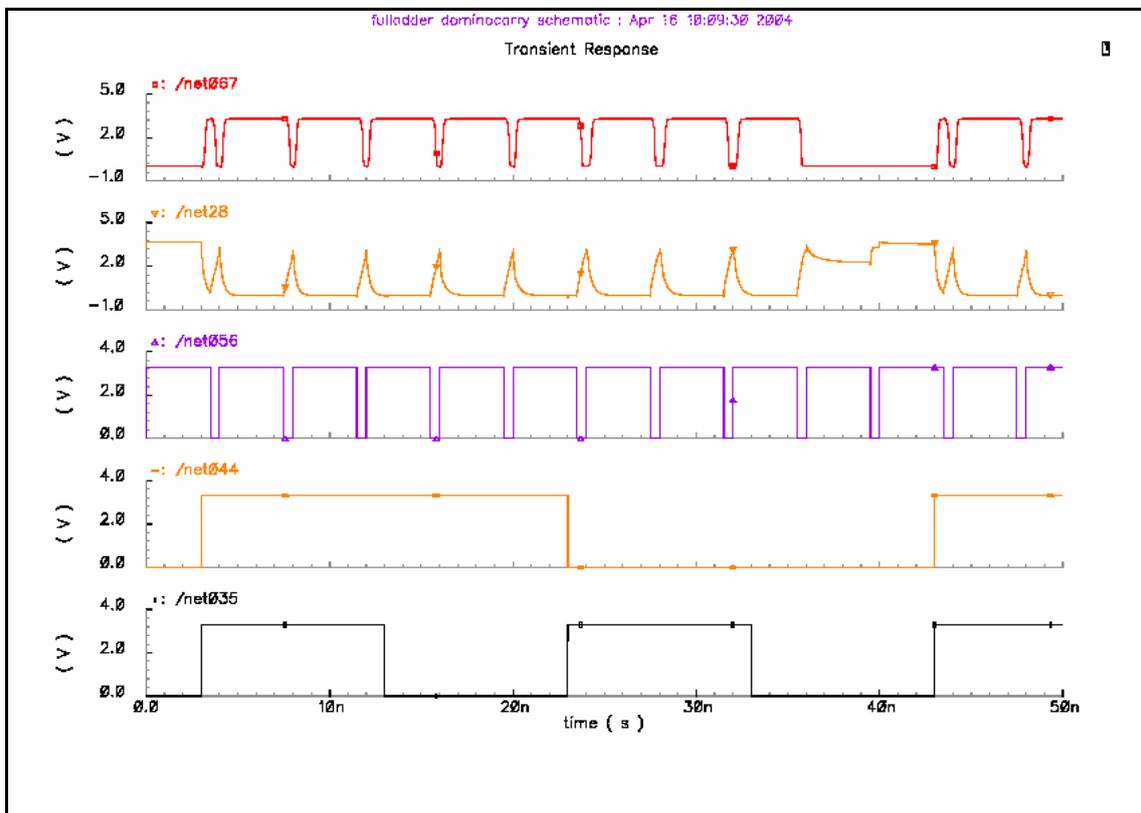
Sempre al nodo 28 si nota dunque la scarica veloce e la carica relativamente lenta. La seguente figura è ottenuta facendo variare sia P_3 (net 035) che C_0 (net 083) :



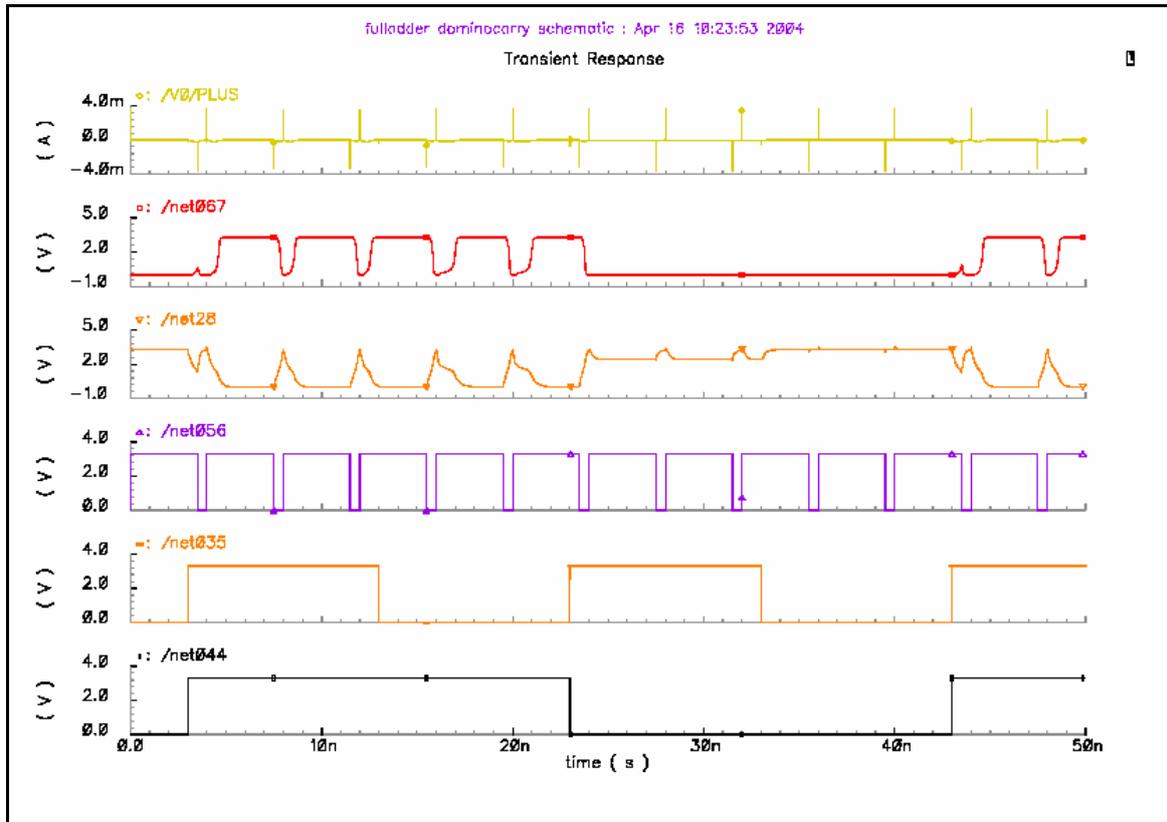
La simulazione seguente invece è stata ottenuta con un clock con duty cycle di 87,5% ($T_{on} = 3,5 \text{ ns}$, $T_{tot} 4 \text{ ns}$), visualizzando anche gli impulsi di corrente e con PMOS di dimensioni minime (rispetto all'inverter):



Nella figura seguente si nota il charge leakage quando il circuito combinatorio commuta :



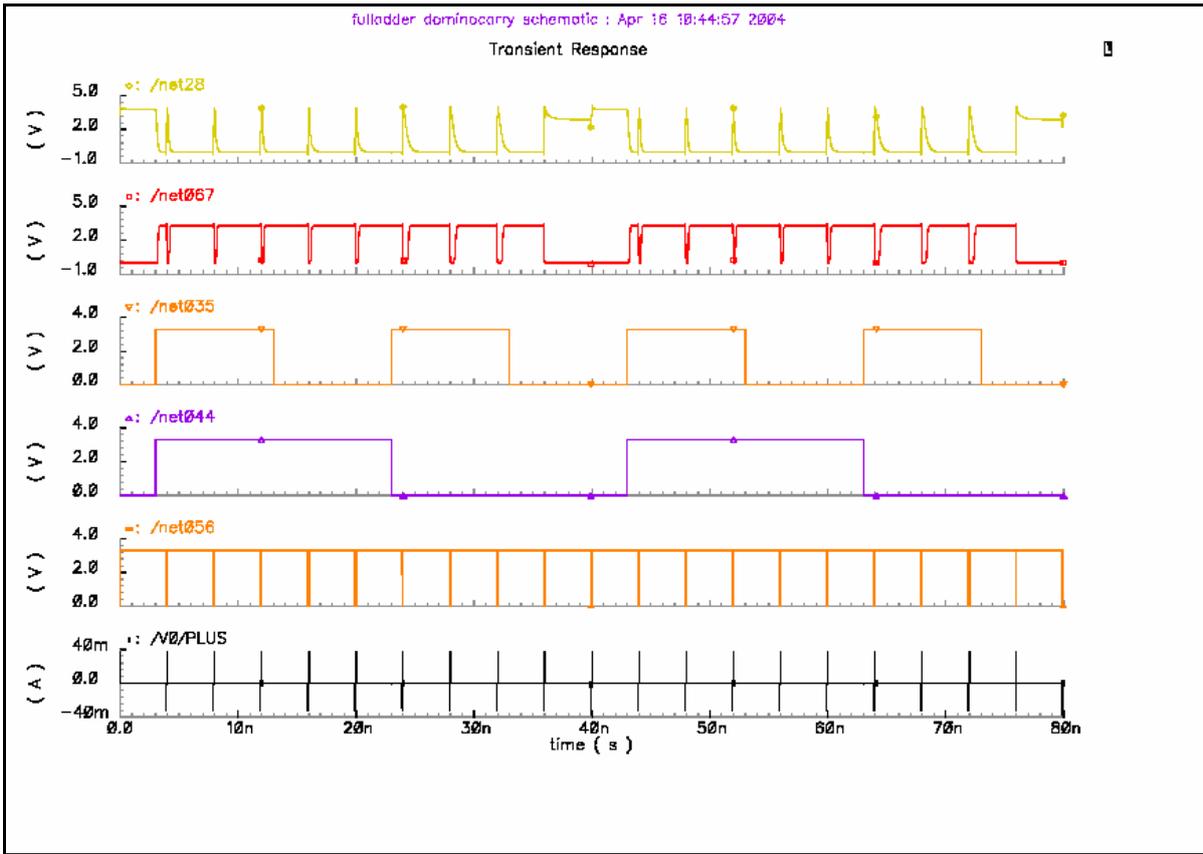
Mentre con un bleeder che compensi la perdita di carica dovuta al fatto che i MOS quando spenti hanno comunque un passaggio di corrente il risultato è il seguente :



In tale simulazione si può notare l'entrata in funzione del bleeder anche nel ciclo di scarica, osservando il comportamento del nodo 28. Quando gli ingressi (G_3 e C_0) commutano entrambi l'uscita è ad un livello alto ed è circa 3,3 V. Se invece è il solo G_3 ad essere attivo il livello di tensione è prossimo a 3 V, ma stabile, ed è ciò che volevamo. All'uscita del circuito complessivo, ovvero dopo l'inverter, il livello è correttamente interpretato.

I picchi di assorbimento di corrente sono pari a 4 mA: il valore di picco aumenta con il duty cycle del clock e con la dimensione del PMOS, e si arriva a picchi di 200 mA per PMOS con dimensioni (volutamente esagerate) di $50 \mu\text{m} / 0.35 \mu\text{m}$.

Se il duty cycle del clock viene portato al 97,5 % ($T_{\text{on}} = 3,9 \text{ ns}$ e $T_{\text{tot}} = 4 \text{ ns}$) la precarica è difficoltosa, ed è necessario un PMOS con buone capacità di fornire corrente, ovvero più grosso dimensionalmente. Infatti la simulazione seguente è stata effettuata con dimensioni del PMOS decuplicate, ovvero da $8 \mu\text{m} / 0.35 \mu\text{m}$:



L'ultima simulazione è stata invece fatta con tutti i MOS (sia n che p) con dimensioni decuplicate, ma con un duty cycle di clock del 87,5 % .

